

MC603 – Laboratório de Circuitos Lógicos

Experimento 1

Questão 1: (Familiarização com a placa UP1)

Desenhe o diagrama esquemático do circuito descrito abaixo (em gdf), para o dispositivo FPGA Flex 10K20

Descrição do circuito:

- entradas a1, a2, a3, a4, alimentadas pelo DIP switch
- entradas b1, b2, alimentadas pelos push buttons
- saída $y = a1.a2 + a3.a4$, conectada em um led
- saída $z1 = b1$ e $z2 = b2$; alimentando dois leds do display de sete segmentos

Após a simulação, verifique os dados da placa e atribua os pinos adequados para as entradas e saídas. Compile e gere o arquivo **.sof**. Verifique a configuração de programação da placa (veja o manual da placa) de modo a escolher a programação da Flex 10k20 somente. Programe a placa. Exercite as entradas e saídas.

Questão 2:

Implemente um conversor de código Gray para Binário, de 4 bits. Apresente um relatório com os dados utilizados e necessários para o desenvolvimento. Faça o seu projeto usando diagrama esquemático e VHDL.

Questão 3:

Observe a seguinte expressão lógica :

$$F(A,B,C,D,E) = \Sigma 0,2,5,8,13,15,18,21,24,29,31$$

1. Minimize esta expressão lógica utilizando mapa de Karnaugh, apresentar os mapas.
2. Escreva a tabela verdade para a expressão minimizada.
3. Faça o diagrama lógico para a expressão minimizada.
4. Implemente este circuito na UP 1 e faça a simulação deste verificando a tabela verdade do item anterior. (use o DIP SWITCH com entrada e um led como saída)

Questão 4:

a) Utilizando o display de 7 segmentos da UP 1 e observando a Fig. 2, projetar um decodificador que faça a conversão de um código binário e faça o controle lógico do display apresentando o equivalente decimal do número binário na entrada do circuito. Obs: quando os valores saírem fora da faixa válida (de 0 a 9 decimal) o display deve apresentar a letra E, que indica "erro".

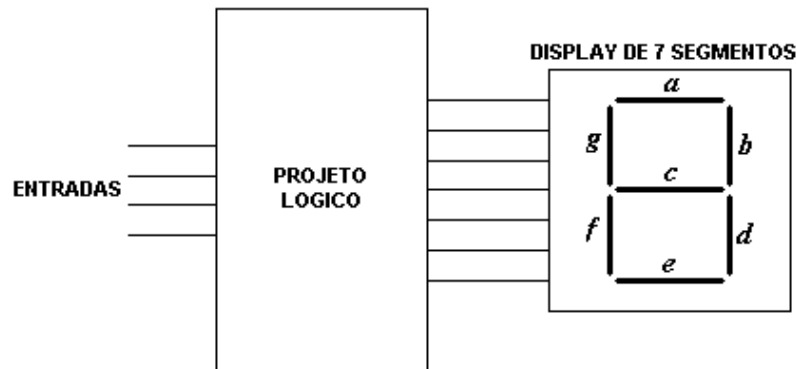


Figura 2

b) Para o display de 7 segmentos apresentado, faça um novo projeto no decodificador que mostre o valor em hexadecimal das entradas. Salve o circuito e crie o símbolo, chamando-o de "conv_7seg", para uso posterior

Questão 5:

1. Projete um contador de 24 estágios para dividir a frequência de entrada do relógio de 25,175 MHz para cerca de 1,5 Hz (f_{low}); Dica: usar 3 8count.
2. Use este sinal (f_{low}) como relógio de um contador MOD16 e faça o resultado da contagem acionar o display de 7 segmentos. Use o componente "conv_7seg" previamente projetado no item 4b.
3. Repita (b), mas agora usando o PB1 (push button 1) como sinal de relógio (verificar a polaridade do relógio). O que acontece? Como resolver?