



Universidade Estadual de Campinas - UNICAMP
Instituto de Computação - IC

O Processador Itanium 2

Jurandy G. A. Junior

Campinas, 3 de novembro de 2005

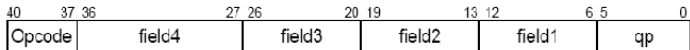
Roteiro

- 1 **Arquitetura**
 - Registradores
 - Instruções
 - Unidades
 - Pipeline
- 2 **Implementações**
 - Evolução
 - Modelos Atuais
- 3 **Considerações Finais**
 - Conclusões
 - Dúvidas

Registadores

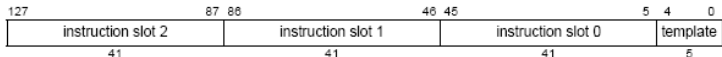
- 128 registradores de uso geral de 64 bits
- 128 registradores de ponto flutuante de 82 bits
- 64 registradores de predicado de 1 bit
- 8 registradores de *branch* de 64 bits
- 128 registradores de aplicação de 64 bits
- registrador IP de 64 bits

Instruções



Tipo	Descrição	Unidade
A	Operações executadas na ALU	I-unit ou M-unit
I	Operações com inteiros	I-unit
M	Instruções de <i>load/store</i>	M-unit
B	Instruções de desvio de execução	B-unit
F	Operações com ponto flutuante	F-unit
LX	Instruções maiores que 41 bits	I-unit ou B-unit

Explicitly Parallel Instruction Computing



- Empacotamento de instruções pelo compilador
- Indicação explícita de paralelismo
- Uso intensivo de *predication*
- Especulação de controle
- Especulação de dados

Predição

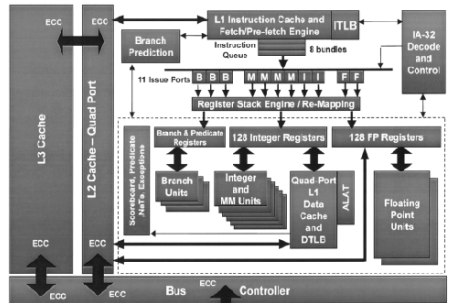
- Blocos de um *branch* são rotulados pelo compilador
- Ausência de desvios em nível de execução
- Execução paralela dos blocos de um *branch*
- Armazenamento condicional dos resultados

Especação

- Controle
 - Compilador
 - Instruções de busca especulativa
 - Instruções de verificação
 - Processador
 - Atraso no lançamento de exceções
 - Bit de validação dos dados
- Dados
 - Compilador
 - *Loop Unrolling and Rotation*
 - *Register Rotation*
 - Processador
 - *Advanced Load Address Tables*

Unidades

- Processamento da Instrução
- Execução
- Controle
- Subsistema de Memória
- Execução IA-32



Processamento de Instruções

- Lógica para o *prefetch* e o *fetch* da instrução
- Lógica para a predição de desvios
- Lógica para o desmembramento de *buffers*
- Pilha de registradores

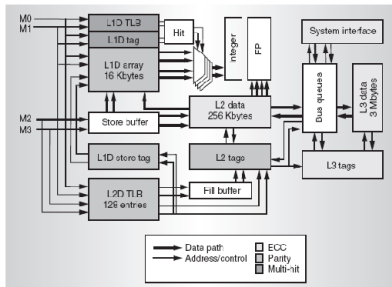
Execução

- 4 unidades para inteiros
- 4 unidades para multimídia
- 4 unidades para ponto flutuante
- 3 unidades para desvio
- 2 unidades para *load/store*

Controle

- Tratamento de exceções
- Controle do *pipeline*
- Detecção de dependências de registradores fonte
- Propagação de *tokens* de exceções (NaT)

Subsistema de Memória



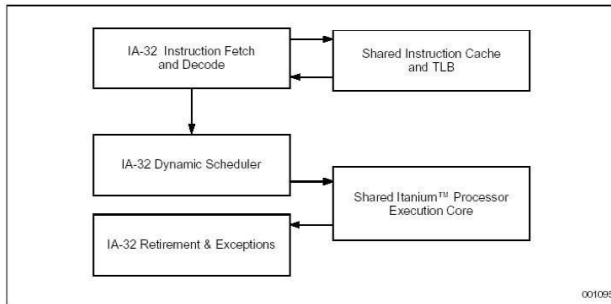
- Cache de instruções L1
- Cache de dados L1
- Cache L2
- Cache L3
- Programmable Interrupt Controller
- Advanced Load Address Table
- Barramentos

Subsistema de Memória

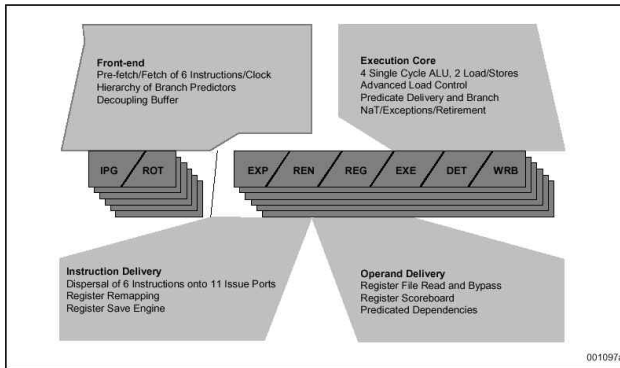
Memória	Tamanho	Associatividade
<i>Cache de instruções L1</i>	16 KB	4-way
<i>Cache de dados L1</i>	16 KB	4-way
<i>Cache L2</i>	256 KB	8-way
<i>Cache L3</i>	1.5 a 9 MB	12-way

Tabela	Entradas	Associatividade
ALAT	32	full associative
L1 DTLB	32	full associative
L1 ITLB	32	full associative
L2 DTLB	128	full associative
L2 ITLB	128	full associative

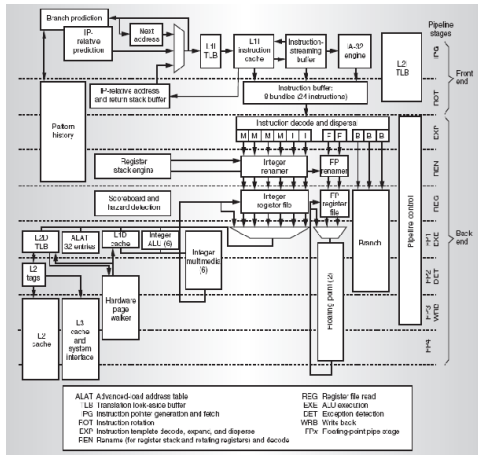
Execução IA-32



Pipeline



Pipeline



Evolução

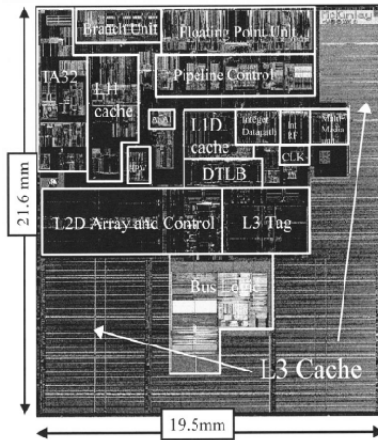
Modelo	Frequência	Cache L3
Itanium	766 MHz e 800 MHz	2 ou 4 MB
McKinley	900 MHz e 1 GHz	1.5 MB e 3 MB
Madison	1.3 – 1.6 GHz	3 – 9 MB
Hondo	2 x 1.1 GHz	2 x 4 MB
Deerfield	1 GHz	1.5 MB
Fanwood	1.6 GHz	3 MB

Modelos Atuais

Característica	MP	DP	LV
<i>Cache L1</i>	32KB	32KB	32KB
<i>Cache L2</i>	256KB	256KB	256KB
<i>Cache L3</i>	3, 4, 6 e 9MB	1.5 e 3MB	1.5 e 3MB
<i>Clock (GHz)</i>	1.30 a 1.60	1.40 a 1.60	1.00 a 1.30
<i>Chipset</i>	Intel E8870	Intel E8870	Intel E8870
Barramento	400 MHz	400 / 533 MHz	400 MHz
Vazão E/S	6.4 GB/sec	6.4 GB/sec	6.4 GB/sec
Consumo	130W	99W	62W
Plataforma	SR870BN4	SR870BH2	SR870BH2

Conclusões

- Integração
- Paralelismo
- Flexibilidade



Dúvidas?

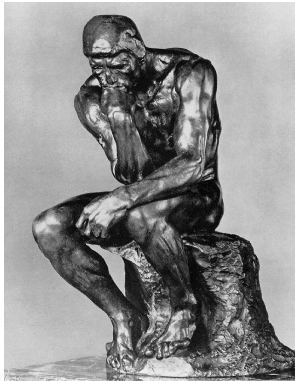


Figura: *O pensador* - Rodin