



RA:	Nome:	Entrega
Lista de Exercícios Nº 6		(ver site)

Assunto coberto: capítulo 7 (Latches, Flip-flops, registradores, contadores).  
 Questões que devem ser feitas no Quartus: Q5.

## Q1.

Identifique os elementos de memória Figura 1 a partir das formas de ondas apresentadas na Figura 3. Cada elemento possui apenas uma única saída  $Q_i$ , podendo ter duas entradas ( $D_1$  e  $clk$ , ou  $D_1$  e  $D_2$ ) ou três entradas ( $D_1$ ,  $D_2$  e  $clk$ ).

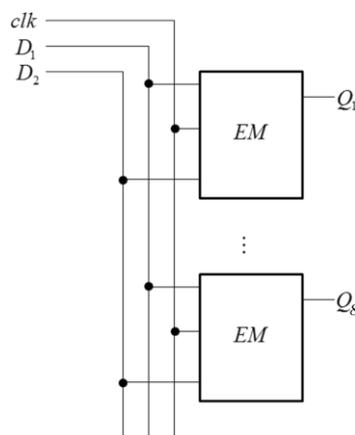


Figura 1: Elementos de memória da questão Q1.

## Q2.

Considere o circuito da Figura 2, onde o clock é de 10 MHz. Qual é o número máximo de portas NAND que podem ser interconectadas entre os flip-flops de maneira que não haja violação das restrições de timing (setup e hold) na entrada  $D_2$ . Procure em datasheets na web os valores dos parâmetros de timing pertinentes dos componentes 74LS74 e 74LS00. Considere que esses NANDs são o caminho crítico do circuito em termos de atraso e que outras entradas dos NANDs não afetam o atraso.

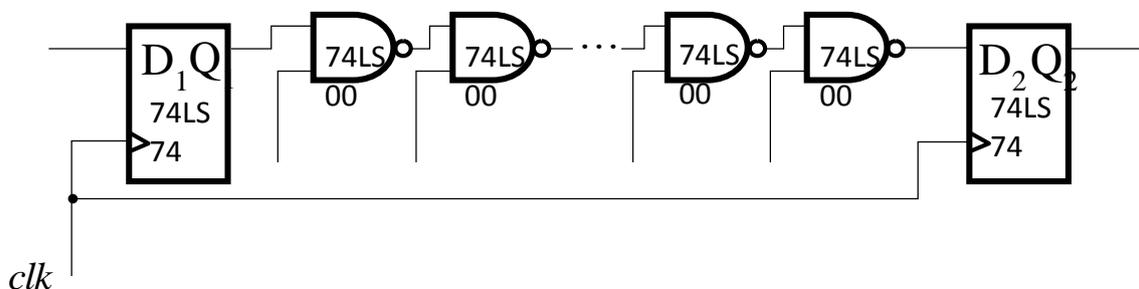


Figura 2: Diagrama de blocos para questão Q2.



MC602

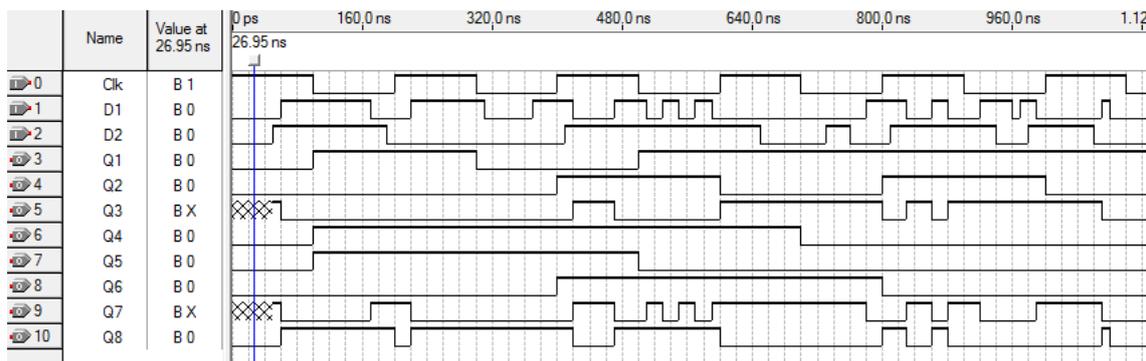


Figura 3: Diagrama de tempo para a questão Q1.

### Q3.

Construa um registrador de deslocamento universal de 4 bits (isto é, com deslocamento à direita ou à esquerda, e carga paralela). O controle de carga paralela é feito via sinal *load* síncrono. Assuma as seguintes entradas: 1 bit de entrada serial (Serial\_In), 4 bits de entrada paralela (Parallel\_In) e 2 bits de controle (Modo), para definir a função do registrador: 00 NOP (mantém o valor), 01 SHL (desloca para a esquerda), 10 SHR (desloca para a direita) e 11 LOAD (o valor em Parallel\_In é carregado nos FFs). A saída do circuito são os Qs dos FFs: Q[3..0]

### Q4.

Projete um contador módulo 13 com

- reset assíncrono e outro com
- load síncrono.

### Q5.

Projete e simule um banco de registradores com 4 registradores de 8 bits conforme a Figura 4. A decodificação dos registradores é conforme a Tabela 1. Em cada borda de subida do clock, o valor presente no barramento Data\_in é carregado no registrador selecionado pelos sinais de controle Rin[1,0], e o conteúdo do registrador selecionado pelos sinais de controle Rout[1,0] é conduzido ao barramento Data\_out. Não há necessidade de um tratamento especial quando os registradores de leitura e escrita selecionados forem o mesmo, isto é, assumo que o usuário não irá produzir tal situação.

Tabela 1: Endereço dos registradores para a questão Q5.

Registrador	Código (endereço em bits)
R0	00
R1	01
R2	10
R3	11

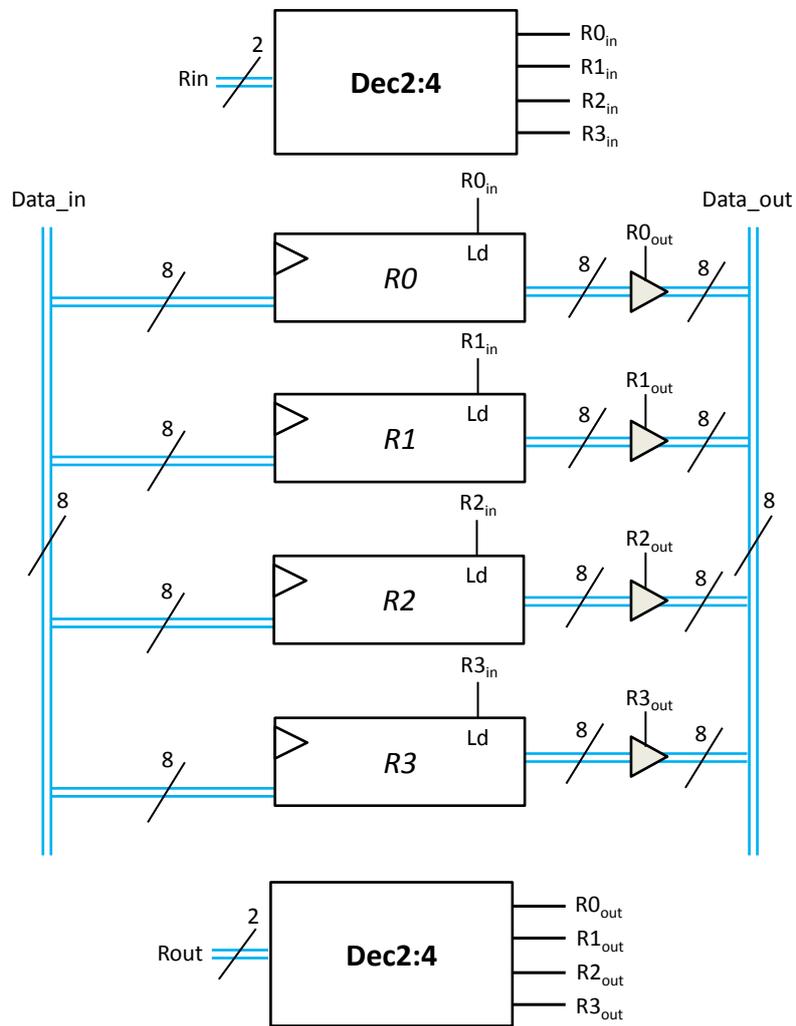


Figura 4: Diagrama de blocos para a questão Q5.