

RA:	Nome:	Entrega
Lista de Exercícios Nº 9		(ver site)

Assunto coberto: VHDL.

Todas as questões desta lista deverão ser feitas integralmente no Quartus, em VHDL. Não serão aceitos componentes em representação BDF.

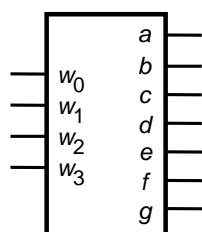
Os alunos devem baixar o esqueleto do projeto de cada questão e completar o código VHDL fornecido com sua implementação do componente. Os esqueletos estão disponibilizados aqui: <http://www.ic.unicamp.br/~cortes/mc602/exercicios/LE9-esqueletos.zip>

Para facilitar a correção, não altere qual é o componente top-level ou a sua interface. Você pode criar outros componentes ou arquivos .vhd se necessário, porém certifique-se de incluí-los corretamente no projeto do Quartus e no arquivo .zip com sua submissão.

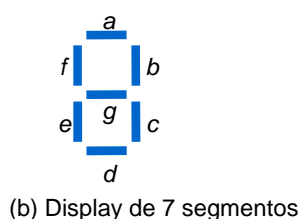
Dica: (a) O esqueleto de algumas questões inclui 'use' de certas bibliotecas que podem lhe ser úteis. (b) Observe o netlist sintetizado pelo Quartus e compare com suas soluções anteriores.

Q1. Conversor de display de 7 segmentos

Implemente em VHDL (somente com comandos concorrentes) e simule um conversor de BCD para display de 7 segmentos. O componente deve receber um dígito BCD, e ter como saída os sinais de 'a' a 'g' para acender os segmentos. Observe que para este exercício não é permitido usar Process. Observar que os sinais de 'a' a 'g' estão definidos no PORT da ENTITY como display: OUT std_logic_vector (0 TO 6).



(a) Conversor de código



(b) Display de 7 segmentos

w_3	w_2	w_1	w_0	a	b	c	d	e	f	g
0	0	0	0	1	1	1	1	1	1	0
0	0	0	1	0	1	1	0	0	0	0
0	0	1	0	1	1	0	1	1	0	1
0	0	1	1	1	1	1	1	0	0	1
0	1	0	0	0	1	1	0	0	1	1
0	1	0	1	1	0	1	1	0	1	1
0	1	1	0	1	0	1	1	1	1	1
0	1	1	1	1	1	1	0	0	0	0
1	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1

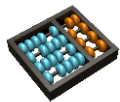
(c) Tabela verdade

Q2. Contador up/down

Implemente e simule um contador síncrono, up-down, módulo 1337, com enable.

Q3. ALU

Implemente e simule a ALU da Q2, LE5, porém para números de 32 bits. A abordagem a ser utilizada é livre, desde que em VHDL.



Q4. Máquina de estados

Implemente e simule a máquina de estados (entrada w e saída z) com o seguinte diagrama de transição de estados. A saída z da máquina é igual a '1' no estado D e '0' nos demais. Observe o diagrama de transição de estados gerado pelo Quartus e compare com a especificação.

