



MC 602

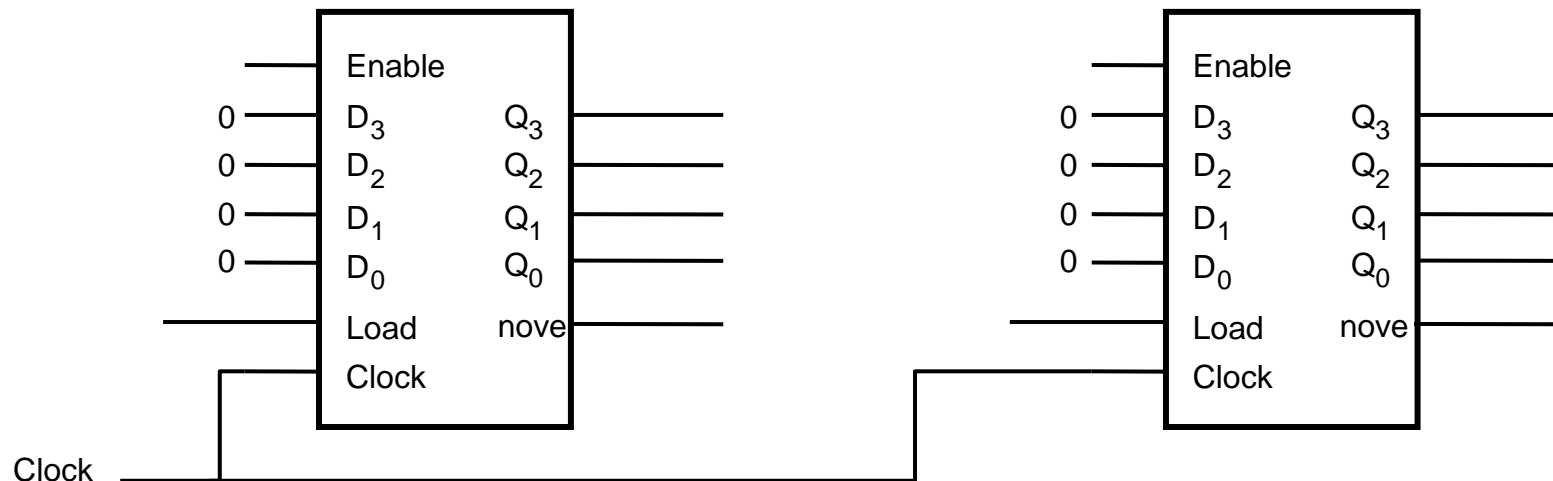
IC/Unicamp
2011s2
Prof Mario Côrtes

VHDL

Exercícios 2

Contadores

- Implementar o contador de minutos da prova 2
 - Implementar o componente contador decádico (mod10): load síncrono e saída “nove”=1 quando o estado = 9
 - Instanciá-lo duas vezes para implementar o contador de minutos (dígito de unidades e dezenas)
 - Simular o projeto



FSM

- Seja a tabela de transição de estados minimizada dada na Figura 8.52 (pág. 532 do livro)
- Projetar uma máquina de estado de Moore para esta tabela de transição de estados

Present state	Nextstate		Output z
	w = 0	w = 1	
A	B	C	1
B	A	F	1
C	F	C	0
F	C	A	0