



IC-UNICAMP

MC 602

IC/Unicamp

Prof Mario Côrtes

Introdução ao projeto baseado em diagrama esquemático

Conteúdo



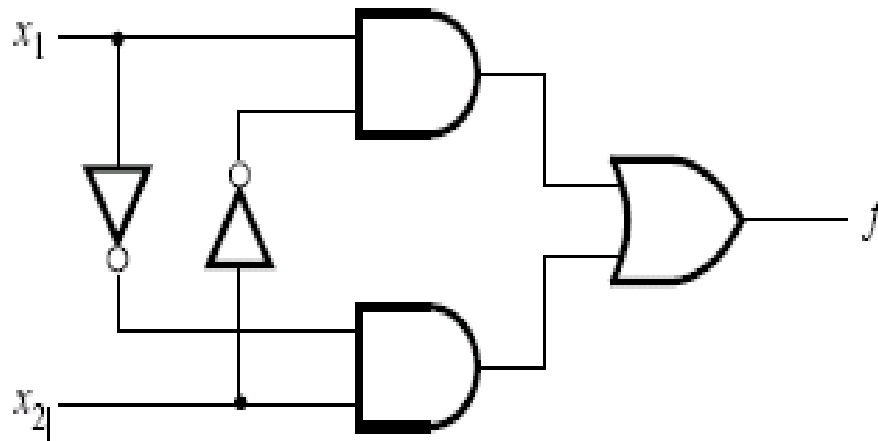
IC-UNICAMP

- Projeto de circuitos digitais usando diagrama esquemático no Quartus
- Resumo do tutorial:
 - `tut_quartus_intro_schem.pdf`

Criação de novo projeto

- Abrir o Quartus
- File > New Project Wizard
 - Definir diretório onde o projeto será armazenado:
tut_schem
 - Escolher nome do projeto (2 próximos campos):
light_schem
 - Next
 - Next (mecanismo para adicionar arquivos)
 - Family device settings:
 - escolher Cyclone II EP2C20F484C7 (tipo da FPGA)
 - Next (other EDA tools)
 - Finish

Circuito a ser criado



x_1	x_2	f
0	0	0
0	1	1
1	0	1
1	1	0

Figure 11. The light controller circuit.

Criação do diagrama lógico

- File > New > Block Diagram/Schematic File > OK
- File > Save as > light_schem > OK
- Double click na área de desenho
 - seleccionar biblioteca primitives
 - double click em AND2
 - clicar na área de desenho para colar
 - repetir para outra AND2 (ou usar copy & paste), um OR2, dois NOTs
 - repetir para os conectores de entrada (INPUT) e saída (Output)
 - Nomear os sinais de entrada X1, X2 e saída f
 - seleccionar o primeiro, editar, enter, seguinte, etc
 - Girar os NOTs e conectar os fios
 - Salvar

Compilação



IC-UNICAMP

- Compilação
 - Processing > Start Compilation, ou clicar no ícone ►
 - Verificar o relatório de compilação: Processing > Compilation Report, ou clicar no ícone apropriado

Criação de waveform

- Criação de waveform para simulação (ver tutorial):
 - File > New > Vector Waveform File
 - Clicar botão direito na coluna de nomes de sinais > Insert > Insert Node > Node Finder
 - List > selecionar os sinais e movê-los para o painel direito
 - Edit > End Time > 200 ns
 - Inserir forma periódica para as entradas
 - Selecionar linha x1; pressionar botão “Count Value” > iniciar 1, a cada 100ns
 - Repetir para x2, com iniciar 0, a cada 40ns
 - Salvar

Simulação

- Simulação com timing: há atrasos
 - Assignment > Settings > Simulator Settings > Simulation mode = Timing
 - Processing > Start Simulation (ou pressionar ícone apropriado)
 - Observar atrasos e glitches (hazards)
- Simulação funcional: atrasos não são levados em consideração
 - Assignment > Settings > Simulator Settings > Simulation mode = Functional
 - Geração de netlist: Processing > Generate Functional Simulation Netlist
 - Processing > Start Simulation (ou pressionar ícone apropriado)
 - Observar que não há atrasos para a saída



Projeto hierárquico: criação de símbolo

- É possível criar um componente de qualquer projeto e instanciá-lo várias vezes em outro projeto
- File > Create / Updat > Create Symbol Files for Current File
 - observar arquivo .bsf criado no diretório



Projeto hierárquico: utilização de símbolo

- Criar novo projeto, onde pretende-se instanciar o símbolo
- Inserir componente (das maneiras já apresentadas)
- Escolher Library = Project
- Selecionar arquivo .bsf criado anteriormente
- Deste ponto em diante, o projeto prossegue normalmente
 - componentes podem ser da biblioteca do Quartus ou componentes criados pelo usuário