



Laboratório 9

1. A máquina de estados abaixo possui três entradas (Reset, Clock e w) e uma saída z .

Present state	Next state		Output z
	$w = 0$	$w = 1$	
A	A	B	0
B	B	A	1

Figura 1: Tabelas de Estados

- Projete em VHDL o circuito que realiza esta máquina. **[Entregar VHDL]**
 - Elabore uma simulação para testar o funcionamento do seu circuito. **[Entregar forma de onda]**
 - Sintetize e programe a FPGA, usando duas chaves (Reset e w) e um led (z) para demonstrar o funcionamento da sua máquina.
 - Esta máquina é usada amplamente em telecomunicações. Qual a sua função?
2. A máquina de estados abaixo possui três entradas (Reset, Clock e w) e uma saída z .

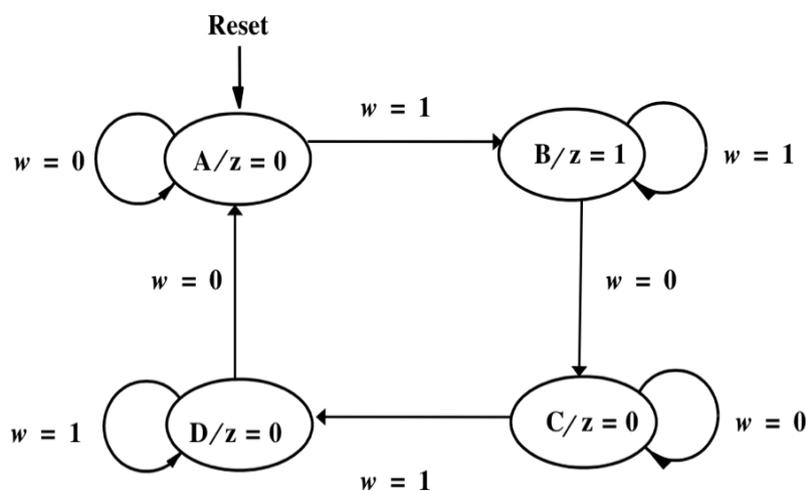


Figura 1: Diagrama de Estados



-
- a) Projete em VHDL o circuito que realiza esta máquina. **[Entregar VHDL]**
 - b) Elabore uma simulação para testar o funcionamento do seu circuito. **[Entregar forma de onda]**
 - c) Sintetize e programe a FPGA, usando duas chaves (Reset e w) e um led (z) para demonstrar o funcionamento de sua máquina.
3. Usando máquina de estados, projete um detector de seqüência que produz 1 em sua saída z, toda vez que a seqüência 0101 é detectada na sua entrada w. Por exemplo, quando a seqüência na entrada w é 010101, a saída z é 000101. O detector possui ainda duas entradas adicionais: Reset e Clock.
 4. Este exercício irá utilizar o módulo vgacon disponível no site da disciplina e o exemplo que o acompanha. O exemplo contém uma demonstração de uma bola percorrendo o espaço visível e quicando nas laterais do monitor. Você deverá modificar este exemplo para que a bola deixe um rastro de sua cor pelos pixels em que passa. Ainda, ao quicar nas laterais, a bola muda de cor, circulando entre as 7 cores disponíveis (não considere o preto como cor disponível). Deverá existir um botão (push button) ligado ao sinal de reset, cuja função é apagar a tela. **(Obs.: Antes de fazer este exercício leia os tutoriais no site, em Materiais de Apoio > Tutoriais do curso)**