

MC613

Laboratório de Circuitos Lógicos

2010

Profs.:

Guido Araújo ([guido @ ic ...](mailto:guido@ic...))

Mário Lúcio Cortes ([cortes @ ic....](mailto:cortes@ic....))

MC613

Programação da Cyclone II na DE1 Development & Education Board

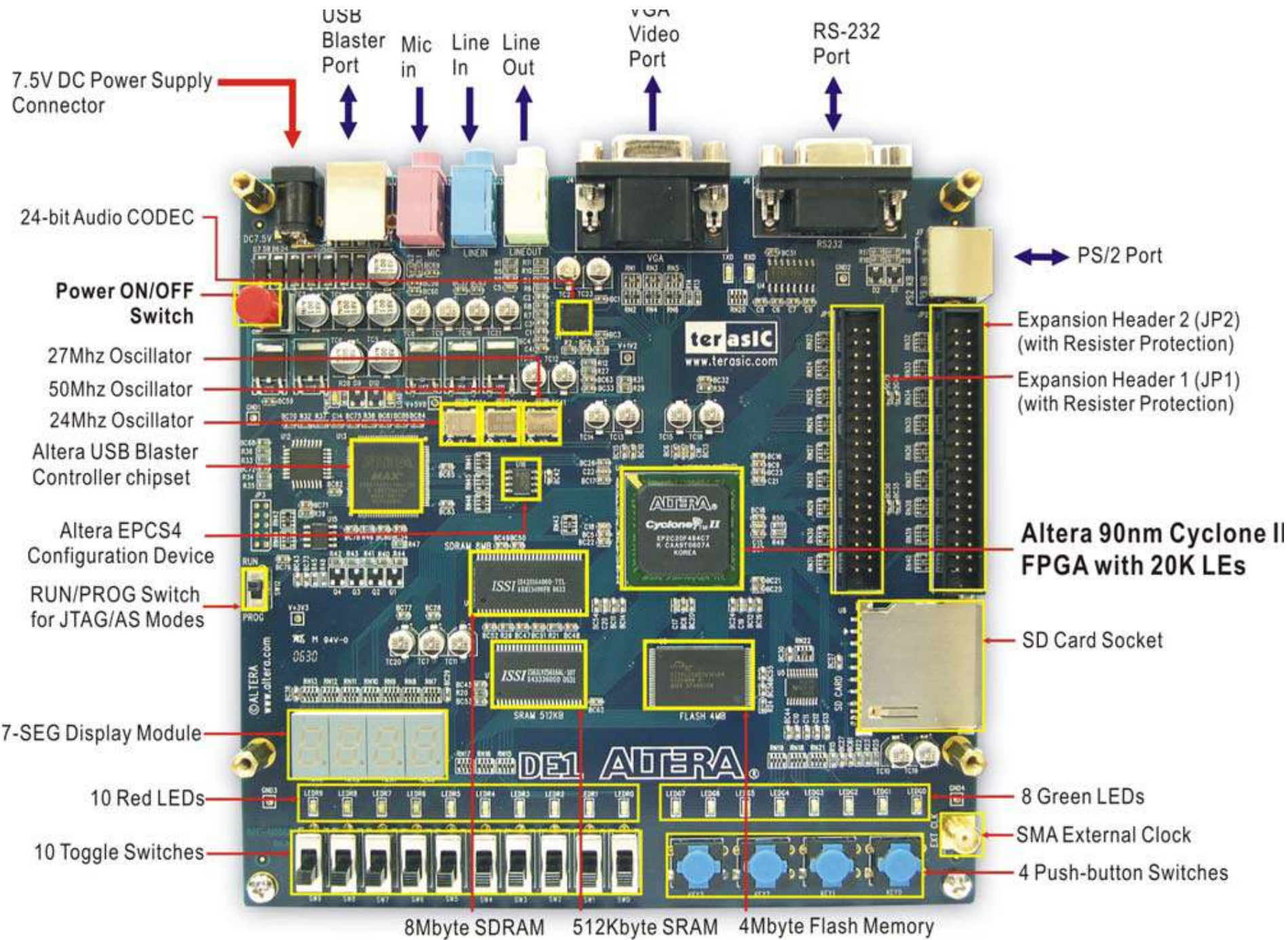
Tutoriais a serem feitos pelo aluno

- **tut_initialDE1.pdf**
 - instalação do driver USB
- **tut_quartus_intro_schem.pdf**
 - introdução ao projeto com diagrama esquemático
- **tut_quartus_intro_vhdl.pdf**
 - introdução ao projeto com VHDL

- **Simulação**
 - **tut_simulation_vhdl.pdf** (simulação funcional)
 - **tut_timing_vhdl.pdf** (simulação com timing)

Conteúdo

- **DE1 Development & Education Board**
 - Placa
 - Fonte
 - Cabo USB Blaster
- **Cuidados Básicos com o manuseio do Kit**
- **Como fazer o Download do seu projeto na DE1**



Cuidados Básicos (ou seção Não ...)

- Usar somente a fonte fornecida com o Kit
 - **Não** usar outras fontes existentes no Laboratório
- **Não** conectar e desconectar fios, conectores (JTAG, ...) com a placa **ligada**
- **Não** colocar a placa sobre superfície metálica
- Segurar a placa pelas bordas
 - **Não** colocar a mão nos componentes (problemas com eletricidade estática)
- **Não** retirar o kit do Laboratório (sala 305)
- Terminado o uso guardar o Kit no armário com todo o material acondicionado na respectiva caixa.

Instalação do driver USB Blaster (tutorial tut_initialDE1.pdf)

1. Ligue o cabo de alimentação e o cabo USB
2. Ligue o botão On/Off
3. Caixa de diálogo: novo HW encontrado
4. Informe que não deseja que o Windows procure o driver e que uma localização específica será fornecida
5. Indique o diretório como localização do driver:
 1. `C:\altera\91sp1\quartus\drivers\usb-blaster`

FPGA Cyclone II (1)

- High-density architecture with 4,608 to 68,416 LEs
 - M4K embedded memory blocks
 - Up to 1.1 Mbits of RAM available without reducing available logic
 - 4,096 memory bits per block (4,608 bits per block including 512 parity bits)
 - Variable port configurations of $\times 1$, $\times 2$, $\times 4$, $\times 8$, $\times 9$, $\times 16$, $\times 18$, $\times 32$, and $\times 36$
 - True dual-port (one read and one write, two reads, or two writes) operation for $\times 1$, $\times 2$, $\times 4$, $\times 8$, $\times 9$, $\times 16$, and $\times 18$ modes
 - Byte enables for data input masking during writes
 - Up to 260-MHz operation
- Embedded multipliers
 - Up to 150 18×18 -bit multipliers are each configurable as two independent 9×9 -bit multipliers with up to 250-MHz performance
 - Optional input and output registers

FPGA Cyclone II (2)

Feature	EP2C5	EP2C8	EP2C15	EP2C20	EP2C35	EP2C50	EP2C70
LEs	4,608	8,256	14,448	18,752	33,216	50,528	68,416
M4K RAM blocks (4Kbits plus 512 parity bits)	26	36	52	52	105	129	250
Total RAM bits	119,808	165,888	239,616	239,616	483,840	594,432	1,152,000
Embedded multipliers (3)	13	18	26	26	35	86	150
PLLs	2	2	4	4	4	4	4

- **Dispositivos programáveis voláteis (perdem a programação com suspensão da alimentação)**
 - organizados em LAB (logic array blocks), compostos por LE (logic elements) → ver [datasheet_cyclone2_cii5v1_01.pdf](#)

Conclusão

- **Vistos**
 - visão geral da DE1
 - programação do driver USB Blaster
 - arquitetura da FPGA Cyclone