

Aluno	Thiago Senador de Siqueira
RA	057642
Título do Artigo	Interconnections in Multi-core Architectures: Understanding Mechanisms, Overheads and Scaling
Referência Bibliográfica	KUMAR, R. ZYUBAN, V. TULLSEN, D. M. Interconnections in Multi-core Architectures: Understanding Mechanisms, Overheads and Scaling. In: <i>Proceedings of the 32nd International Symposium on Computer Architecture (ISCA'05)</i> . 2005.
Número de páginas	12

As arquiteturas de processadores de alto desempenho têm se direcionado ao desenvolvimento de múltiplos núcleos de processamento (*cores*) em um único chip. Estas arquiteturas são conhecidas como “Arquiteturas *Multi-Core*”. Tal tecnologia possibilita um maior poder de processamento, maior *throughput* e maior escalabilidade que as estruturas monolíticas. Entretanto, apesar do rápido desenvolvimento das arquiteturas *Multi-Core*, não há ainda na literatura um conhecimento profundo sobre questões de interconexão de núcleos e interatividade com outras estruturas (*cache*, IO, etc.) num mesmo chip. A busca por uma solução ideal tem de lidar com vários aspectos como performance, consumo de energia, área utilizada, taxa de transferência dentre outros. A questão da interconexão de núcleos é um elemento crítico de uma arquitetura *Multi-Core*.

O artigo em questão apresenta três mecanismos de interconexão de núcleos e interação com outras estruturas: 1) *Shared Bus Fabric* (SBF), que é um link de alta velocidade utilizado na comunicação entre núcleos, *caches*, IO e memória. 2) link ponto-a-ponto (P2P), utilizados em sistemas que possuem múltiplos SBF. 3) *Crossbar*, mecanismo com alta taxa de transferência utilizado em sistemas onde múltiplos núcleos compartilham uma mesma *cache* L2.

No artigo, são avaliados vários tipos de *overhead* associados às arquiteturas *Multi-Core*, como latência, área ocupada e consumo de energia. A área ocupada por um barramento é determinada pelo número de linhas (fios) vezes o comprimento destas linhas. Quanto maior a área ocupada, maior o *overhead* de área. O *overhead* de energia é gerado pela quantidade de linhas, repetidores e *switches*. Quanto maior o número destes componentes, maior o *overhead* de energia. Já a latência de um sinal conduzido através de uma interconexão é determinada basicamente pelas latências das linhas, tempo de espera em filas de acesso a barramentos e tempo de arbitração (definição de prioridades).

Vários testes foram realizados com os diversos mecanismos de interconexão de núcleos. Com relação ao SBF, os testes de área revelaram que a área utilizada por tal mecanismo leva em consideração a fiação do circuito (quantidade de linhas) e a lógica relacionada à interconexão. O *overhead* causado pela área pode ser significativo, por exemplo, em um *die* de 400mm², o *overhead* de área para se interconectar 16 *cores* é 13%. Para 8 e 4 *cores* o *overhead* é de 8.7% e 7.2% respectivamente. Considerando que um *core* possui 10mm², a área ocupada por um BSF é suficiente para se colocar de 3 a 5 *cores* extras ou de 4 a 6 MB de *cache* extra. Logo, concluiu-se que o *overhead* de área cresce rapidamente com a adição de novos *cores*. Os testes de consumo de energia de mecanismos BSF foram feitos através da soma da energia dissipada pelas linhas e pela lógica de interconexão. O *overhead* de energia de interconexão para um processador de 16 *cores* é maior que a energia consumida de 2 *cores*. O consumo de energia cresce superlinearmente com o número de unidades conectadas. Já os testes relacionados à performance de mecanismos BSF foram realizados em duas etapas: a primeira desconsiderava o *overhead* de interconexão. Nesta fase, através de um programa de uma única *thread*, foi possível constatar que a performance decresce com o aumento do número de *cores*, visto que cada *core* possui uma *cache* cada vez menor. Na segunda etapa, onde o *overhead* de interconexão é considerado, a performance diminui ainda mais rapidamente. Os valores para o *overhead* de performance para 4, 8 e 16 *cores*, considerando o *overhead* de interconexão, foram 10%, 13% e 26% respectivamente. Um outro resultado relacionado à performance considera a taxa de transferência entre *cores*. Se a taxa de transferência é reduzida em pequenos fatores, a degradação da performance pode ser recuperada com a utilização de *caches* maiores.

Os teste realizados com o mecanismo *Crossbar* avaliaram os *overheads* de sistemas onde os vários *cores* compartilham uma mesma *cache* L2. *Cache* compartilhada permite que o tamanho da mesma seja particionado dinamicamente, melhorando a taxa global de *hits*. Nos testes de área, constatou-se que a complexa fiação do circuito resulta em *overhead* de área, assim como o compartilhamento de *cache*. Por exemplo, em um *die* de 400m², o *overhead* de área para uma latência aceitável é 11,4%, 22,8% e 46.8% para barramentos com 2, 4 e 8 vias para a *cache*, respectivamente. Já o teste de energia de um *Crossbar* mostrou que o *overhead* é significativo: pode ser maior que o consumo de 3 *cores*. Com relação à performance, o compartilhamento de *cache*, em geral, mesmo desconsiderando os *overheads* de área de interconexões, não melhoram ou melhoram muito pouco a performance de um sistema *multi-core*. Logo, concluiu-se que o uso de *cache* compartilhada torna-se significativamente menos desejável em tais sistemas.

Os mecanismos de interconexão SBF maximizam o tamanho de um chip, permitindo assim a conexão de tantas unidades quanto necessárias em uma linha que percorre todo o chip. Entretanto, por causa das latências de longos SBF, algumas alternativas devem ser avaliadas. Os autores propõem uma nova estratégia para interconexão através de mecanismos SBF e P2P. Considerando um chip com 8 *cores*, dividindo-se um único SBF ao meio e conectando estes dois SBFs menores através de um link P2P consegue-se uma performance 17% maior que a de um único SBF. Com esta estratégia, acessos locais à *cache* se beneficiam com a diminuição das distâncias, entretanto, os acessos remotos podem sofrer atrasos, visto que estes acessos percorrem a mesma distância e utilizam filas e mecanismos de arbitração adicionais entre interconexões.