

Título do Artigo: Reducing Startup time in Co-Designed Virtual Machines

Citação Bibliográfica: Hu,Smith; "Reducing Startup Time in Co-Designed Virtual Machines"; Proceedings of the 33rd annual international symposium on Computer Architecture (ISCA'06); Pages: 277 - 288; 2006

Autor do Resumo: Ricardo Edgard Caceffo 025034

O artigo tem como tema o estudo de métodos de redução de tempo de tradução de código em máquinas virtuais co-designadas (aplicadas para a arquitetura x86). Esse tipo de máquina permite o desenvolvimento de processadores através de um esforço em conjunto na elaboração em paralelo tanto do *hardware* quanto do *software* (daí a denominação de co-designadas). Esse tipo de paradigma permite uma grande flexibilidade para realizar inovações em micro-arquitetura, além de uma eficiente execução de códigos.

A máquina virtual utiliza-se de uma camada de tradução binária dinâmica, responsável por traduzir um conjunto convencional ISA em um conjunto de instruções otimizadas. Sendo essa transformação dinâmica, é muito importante considerar o tempo gasto para gerar o código otimizado, já que se ele for demasiadamente superior ao esperado as máquinas virtuais co-designadas estarão em desvantagem quando comparadas ao processador convencional (impedindo, por exemplo, que sejam implementadas aplicações de tempo real ou sistemas de *boot* ou *shutdown* de dispositivos móveis, mecanismos onde o tempo é uma variável crítica). Além disso, o *overhead* afeta também a consistência e predibilidade do sistema.

O tradutor da máquina virtual é composto essencialmente por uma função responsável em traduzir blocos básicos e por uma função responsável por tratar superblocos, otimizando e emulando códigos de segmento executados com muita frequência.

Através de análises empíricas, descobriu-se que o grande responsável pelo *overhead* no tempo de tradução é a função de tratamento de blocos básicos. Assim, buscou-se o desenvolvimento de técnicas que melhorem o tratamento dos blocos básicos, sendo propostos dois mecanismos de *hardware* para tal função:

1. Modo dual de decodificação no *pipeline frontend*: o primeiro level faz com que as instruções estilo CISC sejam decodificadas no estilo RISC (mais simples e mais rápidas de executar em pipeline) sendo o segundo level o responsável por gerar e transmitir o efetivo sinal de micro-operações usadas no pipeline.
2. Unidade de propósitos funcionais especiais adicionada ao *backend* do processador: permite aumentar a performance no tratamento dos blocos básicos acelerando a etapa de *fetch/decode* e também da quebra das instruções para micro-operações.

Uma vez implementadas tais funcionalidades, averiguou-se através de simulações uma drástica redução no tempo de tradução de código, sendo demonstrado assim que uma máquina virtual co-designada pode ter uma performance de tradução competitiva com os modelos tradicionais de processadores superescalares.

Além disso, a solução de arquitetura desenvolvida é muito eficiente, aumentando o desempenho sem sacrificar a complexidade do design. Isso permite aos autores do artigo estabelecer como trabalhos futuros a aplicação das soluções adotadas não apenas em máquinas virtuais co-designadas, mas também em outros sistemas que se utilizem de tradução binária dinâmica.