

Reliability challenges for 45nm and beyond

Artigo: J. W. McPherson, "Reliability challenges for 45nm and beyond", Annual ACM IEEE Design Automation Conference archive(DAC): Proceedings of the 43rd annual conference on Design automation 2006, Pages: 176 - 181, July 2006. ISBN:1-59593-381-6.

Aluno: Leonardo Scanferla Amaral Ra: 069281.

A lei de Moore se mantém funcional devido ao fato do *CMOS* (complementary metal–oxide–semiconductor) não ter sofrido mudanças radicais durante os muitos anos de redução de escala (miniaturização das estruturas). Também devido a esse fato, a indústria focalizou seus esforços na diminuição de escalas, conduzindo ao sucesso notável do *CMOS* em termos de desempenho, funcionalidade, e custo por função (custo por transistor).

Nos últimos 30 anos tremendas melhorias no desenvolvimento de chips *CMOS* foram alcançadas, isso se deve principalmente ao domínio da tecnologia *CMOS* e aperfeiçoamentos na engenharia de fabricação dos chips. Por causa desse avanço contínuo, estamos chegando cada vez mais próximos dos limites físicos da tecnologia *CMOS*, e em menos de duas décadas não vamos mais poder desfrutar da confiança e redução de escalas experimentadas com os velhos materiais. Atualmente, com um *node* de 65nm (comprimento de canal), a espessura do *gate-oxide* é aproximadamente 1.2nm, com uma *leakage* (corrente de fuga) de aproximadamente 100 a/cm² a 1.0V.

Vários problemas relacionados à redução de escala na tecnologia *CMOS* são citados no artigo, vamos citar alguns deles: • Com diminuição do tamanho do transistor, diminuimos também a área de dissipação de calor por transistor, aumentando assim a temperatura dos chips. • A fina camada do *Gate-Oxide* gera outro problema, o aumento da corrente de *leakage* (corrente de fuga) que influencia no aumento de temperatura e no gasto de energia, o que é indesejável em ambientes com energia restrita (sistemas alimentados por baterias). • Aumento do *RC Time Delay*. • Dificuldades na proteção do *CMOS* à descargas eletrostáticas. • Defeitos menores no material que antes não interferiam no sistema vão começar a interferir. • Dificuldade para fazer o processo de *photolithography* (Desenho do circuito por exposição à luz) devido ao desenho ser menor que o comprimento da onda de luz, etc.

Por causa dos problemas relacionados à diminuição de escala do *CMOS*, a indústria está agora sofrendo uma troca dos materiais básicos usados no *CMOS* (por exemplo, *high-k gate dielectrics*, *metal gates*, *ultra-low interconnect dielectrics*, etc.). A introdução desses novos materiais poderá produzir uma pausa na tendência de queda do sucesso de redução de escala dos chips, salvando assim a lei de Moore, porém, isso irá depender em grande parte de dominarmos rapidamente as propriedades físicas destes novos materiais e de desenvolvermos rapidamente regras de design confiáveis para esses novos materiais. Isto significa que as regras de design baseadas nos velhos materiais devem ser completamente revisadas, questionadas e reavaliadas para serem usadas nos novos materiais.