



T1 – Resumo do Artigo

Variable Latency Speculative Addition: A New Paradigm for Arithmetic Circuit Design.
A.K. Verma, P. Brisk and P. Jenne . DATE, p. 1250. March 10-14, 2008 . Germany.

A adição binária é uma das operações aritméticas mais frequentemente utilizadas e é um componente vital para operações mais complexas como a multiplicação e a divisão. Pesquisas estabeleceram os limites inferiores para o tempo de resposta (atraso) e a área dos somadores como sendo $\Omega(\log n)$ e $\Omega(n)$ respectivamente para os somadores de n bits. Esses limites indicam que nenhum somador confiável pode ser implementado com um atraso sub-logarítmico.

Somadores não confiáveis podem ser usados em domínios de ataques criptográficos e somadores confiáveis podem ser construídos a partir de somadores não confiáveis pela inclusão de circuitos adicionais para a detecção e correção de erros.

O artigo tem duas contribuições principais: primeiro, um novo somador não confiável extremamente rápido, que produz resultados incorretos em uma fração insignificamente pequena das combinações de entrada (ACA – Almost Correct Adder); segundo, o projeto de um novo somador confiável (VLSA – Variable Latency Speculative Adder), que usa o ACA como um componente.

O VLSA usa o ACA para produzir seus resultados e um sinal indicando se este resultado está correto ou não depois de um atraso que é muito menor do que o atraso de um somador rápido tradicional. Esse resultado é correto na vasta maioria dos casos. No caso da ocorrência de um erro, ele é corrigido e o resultado correto é produzido vários ciclos depois. Como isto ocorre com baixa probabilidade, então a latência média do VLSA é praticamente a mesma do ACA.

Os autores apresentam um circuito que identifica o erro, caso a soma computada esteja errada, e mostram que o atraso do sinal de detecção de erros é aproximadamente $2/3$ do atraso dos somadores tradicionais.

Seria possível empregar somente um somador tradicional correto para produzir a soma no caso da ocorrência de um erro. No entanto, os autores desenvolveram uma nova técnica de recuperação de erro que usa o que já foi computado pelo ACA para reduzir tanto o atraso no caminho crítico, quanto a área no hardware.

Apesar de que o processo de recuperação de erro pode ser mais lento do que o somador tradicional, nos experimentos apresentados, o atraso do ACA mais o da recuperação de erro é aproximadamente o mesmo do que dos somadores tradicionais.

Na maioria dos casos, nenhum erro ocorre e o resultado correto é produzido em um único ciclo, mas em raras ocorrências de erro, o processador precisa esperar um ou dois ciclos a mais para receber a soma correta.