

A História da família PowerPC

Flavio Augusto Wada de Oliveira Preto^{*}
Instituto de Computação
Unicamp
flavio.preto@students.ic.unicamp.br

ABSTRACT

Este artigo oferece um passeio histórico pela arquitetura POWER, desde sua origem até os dias de hoje. Através deste passeio podemos analisar como as tecnologias que foram surgindo através das quatro décadas de existência da arquitetura foram incorporadas. E desta forma é possível verificar até os dias de hoje como as tendências foram seguidas e usadas. Além de poder analisar como as tendências futuras na área de arquitetura de computadores seguirá.

Neste artigo também será apresentado sistemas computacionais que empregam comercialmente processadores POWER, em especial os videogames, dado que atualmente os três videogames mais vendidos no mundo fazem uso de um chip POWER, que apesar da arquitetura comum possuem grandes diferenças de design.

Diferenças de design que não implicam na não conformidade com a PowerPC ISA, que é o conjunto de instruções da arquitetura PowerPC. Este conjunto que é aberto e mantido por uma instituição ao invés de uma única empresa. Permitindo assim que qualquer empresa fabrique chips compatíveis com a arquitetura POWER.

E desta forma o artigo permite que o leitor conheça os detalhes de arquitetura, político e históricos da família POWER.

1. INTRODUÇÃO

Na década de 70 um dos maiores problemas computacionais era o chaveamento de ligações telefônicas. Entretanto nesta época a grande maioria dos computadores eram CISC (complex instruction set computer) e possuíam um conjunto de instruções extenso, complexo e muitas vezes redundante. Essa tendência de computadores CISCs decorria do fato do surgimento do transistor e do circuito integrado. Para resolver o problema de chaveamento telefônico a IBM iniciou o desenvolvimento do IBM 801, que tinha como objetivo

principal atingir a marca de uma instrução por ciclo e 300 ligações por minuto.

O IBM 801 foi contra a tendência do mercado ao reduzir drasticamente o número de instruções em busca de um conjunto pequeno e simples, chamado de RISC (reduced instruction set computer). Este conjunto de instruções eliminava instruções redundantes que podiam ser executadas com uma combinação de outras instruções. Com este novo conjunto reduzido, o IBM 801 possuía metade dos circuitos de seus contemporâneos.

Apesar do IBM 801 nunca ter se tornado um chaveador telefônico, ele foi o marco de toda uma linha de processadores RISC que podemos encontrar até hoje: a linha POWER.

Descendente direto do 801, a arquitetura POWER (Performance Optimization With Enhanced RISC) surgiu em 1990, dando origem a uma série de processadores que equipariam desde workstations até grandes servidores. O seu objetivo era fornecer complementos ao 801 que era bastante simples e faltava unidades aritméticas de ponto flutuante e processamento paralelo.

Baseado na arquitetura POWER e fruto da aliança Apple-IBM-Motorola (AIM), surgiu a linha de processadores PowerPC (POWER Performance Computing). Projetado para ser empregado desde dispositivos embarcados até grandes servidores e mainframes teve sua primeira aparição comercial no Power Macintosh 6100.

Desde 1993, quando o PowerPC foi criado, o ecossistema que o abriga evoluiu continuamente, dando origem a produtos mais modernos, ao mesmo tempo que as empresas do ecossistema se alteravam. A Apple atualmente não está mais envolvida no projeto e hoje em dia emprega processadores X86 em sua linha de produtos. Já a Motorola separou sua divisão de semicondutores numa nova empresa: a Freescale Semiconductors.

Entretanto, uma grande vantagem que mantém vivo o ecossistema da arquitetura PowerPC é o fato dela ser aberta. Ou seja o ISA (Instruction Set Architecture) é definido por um consórcio e disponibilizada para que qualquer um possa projetar e fabricar um processador compatível com o PowerPC.

Outra grande vantagem competitiva da arquitetura PowerPC é que sua simplicidade herdada do 801 permite que o core

^{*}RA032883

do CPU seja extremamente pequeno, liberando espaço no circuito para que seja adicionado outros componentes que o desenvolvedor desejar, como por exemplo coprocessadores, cache e controladores de memória.

Isso tudo resultou numa das mais bem sucedidas linhas de processadores que nos dias de hoje pode ser encontrado desde os videogames mais vendidos até os mais potentes super computadores existente.

2. A HISTÓRIA DO POWERPC

2.1 O projeto 801

Em 1974 a IBM iniciou um projeto para um processador capaz de lidar com o roteamento de até 300 ligações telefônicas por minuto. Para este número era estimado que fosse necessário cerca de 20000 instruções por ligação, e por consequência para 300 ligações seria necessário um processador de 12 MIPS. Este valor era extremamente alto para a época, entretanto foi notado que os processadores existentes possuíam diversas instruções que nunca eram usadas ou eram usadas muito raramente.

Apesar de 1975 o projeto de telefonia ter sido cancelado sem sequer ter produzido um protótipo, A idéia de um processador com um conjunto de instruções bastante reduzido mostrou-se bastante promissora. De modo que os trabalhos de pesquisa continuaram sobre o codinome “Cheetah” no prédio número 801 do Thomas J. Watson Research Center.

Os pesquisadores estavam tentando determinar se era viável uma máquina RISC manter múltiplas instruções por ciclo e quais alterações deveriam ser feitas sobre o projeto 801 original. Para isso, foi imaginado unidades separadas para branch, aritmética de ponto fixo e aritmética de ponto flutuante.

Em 1985 iniciou o projeto de uma segunda arquitetura RISC no Thomas J. Watson Research Center de codinome “AMERIC” para ser usada nas series RS/6000. Este projeto resultou na arquitetura POWER[2].

2.2 POWER

Apresentado como o processador RISC da série RS/6000[1] em fevereiro de 1990. Iniciava-se aí uma longa saga de processadores POWER até os dias de hoje.

A arquitetura fortemente baseada na 801, com um design RISC, buscava superar as limitações de seu predecessor. Para isso deveria incluir uma unidade de ponto flutuante, um sistema de pipeline para execução de mais de uma instrução ao mesmo tempo.

Inicialmente com 32 registradores de 32 bits, e posteriormente os modelos 64 bits incluíam mais 32 registradores de 64 bits e armazenamento de dados no formato *big-endian*.

2.2.1 POWER1

Disponibilizado inicialmente nos servidores IBM RS/6000 POWERserver com clocks de 20, 25 ou 30 Mhz, foi logo seguido de uma pequena atualização para POWER1+ e depois para POWER1++. Essas atualizações possuíam clocks

mais elevados devido a evolução nos processos de fabricação de semicondutores, chegando até 62.5 Mhz.

A arquitetura do POWER1 é baseada em um CPU de 32-bits superscalar de duas vias. Contém três unidades de execução, uma de aritmética de ponto-fixa (FXU), uma de aritmética de ponto flutuante (FPU) e uma de branch (BU). O espaço de endereçamento físico era de 32-bits, entretanto o endereçamento virtual era de 52 bits para beneficiar o desempenho das aplicações. O cache contava com 8 KB e um *2-way set associative* para instruções e 32 ou 64 KB em *4-way set associative* com 128 bytes por linha para dados.

2.2.2 POWER2

O processador POWER2 foi lançado em 1993 com um projeto aprimorado do POWER1. Com clocks que variavam de 55 até 71.5 Mhz e uma unidade aritmética de ponto fixo adicional e uma unidade de ponto flutuante adicional. Um cache maior e algumas instruções novas. A implementação usada para o POWER2 era de multi-chip, sendo composto de 8 chips.

Em 1996 foi lançado o POWER2 Super Chip, ou simplesmente P2SC, como uma implementação em apenas um chip do POWER2. Além desta alteração, também foram melhorados os caches e o clock chegou a 135 MHz. Essa versão foi empregada para construção do super-computador de 30 cores, Deep Blue da IBM, que derrotou o campeão mundial de xadrez, Garry Kasparov, em 1997.

2.2.3 POWER3

Foi o primeiro multiprocessador simétrico (SMP) 64-bits e mesmo assim totalmente compatível com o conjunto de instruções POWER. O POWER3 foi lançado em 1998 depois de um longo atraso de quase 3 anos.

Disponível inicialmente com o clock de 200 MHz, possuía três unidades de ponto-fixa e duas unidades de ponto-flutuantes capazes de realizar operações de multiplicação e adição em apenas um ciclo para uma dada precisão. Com um design super-escalar capaz de executar instruções fora de ordem em seu pipeline 7 estágios para inteiros e 8 estágios para load/store.

Para otimizar possuía registradores ocultos para efetuar *register renaming* tanto para operações de propósito geral como operações em ponto flutuante. Além de um cache otimizado para aplicações científicas e técnicas. Com uma capacidade dobrada que agora atingia 64Kb com linhas de 128-bytes.

2.2.4 POWER4

Com um clock que rompeu a barreira de 1Ghz, em seu lançamento em 2001 era considerado o chip mais poderoso do mercado. Com uma arquitetura que herdava todas as características do POWER3, incluindo a compatibilidade com o conjunto de instruções PowerPC, porém em um design totalmente diferente.

Cada chip possuía dois cores de 64-bits PowerPC que trabalhavam a mais de 1Ghz dando origem a tendência de chips multi-cores. Com sua capacidade super escalar, o POWER4 é capaz de executar mais de 200 instruções ao mesmo tempo.

Cada core é dotado de duas unidades de ponto-flutuante, duas unidades de load/store, duas unidades de ponto-fixado, uma unidade de branch e uma unidade de registrador condicional.

Antes de extinguir a linha foi lançado o POWER4+ que atingia velocidades de 1.9GHz e consumia menos energia, devido a novas tecnologias de fabricação.

2.2.5 POWER5

Subsequentemente foi lançado em 2003 o POWER5, porém a única maneira de se ter acesso a um destes chips era através da aquisição de um dos sistemas da IBM ou de seus parceiros. Este chip buscava competir no mercado empresarial high-end contra o Intel Itanium 2 e o Sun UltraSPARC IV.

A primeira inovação do POWER5 era a capacidade de multithreading, ou seja, de executar mais de uma thread em um core. Portanto, o processador POWER5 de core duplo podia executar até quatro threads virtuais. Com o controlador de memória, caches L1, L2 e L3 no próprio chip o POWER5 o processador evitava a necessidade outros chips.

Outro grande recurso implementado foi o de virtualização assistida por hardware que permitia a execução de até 256 LPAR (Logical Partitions).

Inicialmente com clocks entre 1.5 e 1.9 GHz, recebeu atualizações de tecnologia e teve mais uma versão chamada de POWER5+. Esta versão possui clocks de até 2.2GHz, quatro cores por chips e um consumo menor de energia por core.

2.2.6 POWER6

O processador POWER6 surgiu na IBM com o projeto de nome eCLiPz. no qual ipz seria um acrônimo para a iSeries, pSeries e zSeries (respectivamente as linhas de servidores de medio porte, de pequeno porte e main frames). Este acrônimo sugeria que o POWER6 seria o processador de convergência para essas linhas.

Lançado em junho de 2007 com clocks que chegam até 4.7 GHz, embora alguns protótipos chegaram a 6 GHz. O processador manteve o projeto de dois núcleos com caches L1 de 128KB em 8-set-associative. Além disso o L2 possui 4 MB e o L3 32 MB.

2.3 PowerPC

PowerPC[5] significa POWER Performance Computing e surgiu em 1993 como um derivado da arquitetura POWER. Fruto da aliança entre Apple, IBM e Motorola (também conhecida como AIM), o PowerPC era baseado no POWER porém com uma série de diferenças. Por exemplo, enquanto o POWER é big-endian, o PowerPC possui suporte tanto para big-endian como para little-endian. O foco original do PowerPC, assim como no POWER, é no desempenho das operações de ponto-flutuante e multiprocessamento.

Apesar dessas modificações, a PowerPC mantém grande compatibilidade com a arquitetura POWER, fato que pode ser comprovado ao verificar que muitas aplicações rodam em ambos sem recompilação ou com pequenas recompilações.

Com a proposta de flexibilidade do PowerPC, no qual ele se propõe a equipar desde dispositivos embarcados até grandes computadores, podemos avaliar o sucesso com a presença do PowerPC nos três videogames mais vendidos hoje (Microsoft X-Box 360, Nintendo Wii e Sony Playstation 3), assim como em grandes servidores IBM BladeServers até o super computador IBM Blue Gene que figura entre os cinco mais poderosos no TOP 500.

2.3.1 PowerPC 400

A família 400 é uma família para dispositivos embarcados que mostra a flexibilidade da arquitetura PowerPC de se adaptar e ser empregados em dispositivos bastante específicos. Disponíveis em diversas tecnologias e potências, hoje é possível encontrar chips trabalhando desde 200 MHz até 800 MHz em dispositivos que vão desde eletrodomésticos até switches gigabit de rede.

2.3.2 PowerPC 600

Apesar de 600 ser um número maior que 400, o PowerPC 601 foi o primeiro chip PowerPC. Ele pode ser considerado o elo entre as arquiteturas POWER e PowerPC, que pode ser verificado com o alto grau de compatibilidade com o ISA da POWER assim como com o barramento Motorola 88110.

2.3.3 PowerPC 700

Surgiu em 1998, sendo que o PowerPC 750 foi o primeiro processador produzido a base de cobre no mundo. A família ganhou notoriedade ao ser usado como o processador da família G3 da Apple. Porém logo foi ofuscado pelo G4, ou Motorola 7400. Disponível em sua época com clocks de até 1GHz e caches L2 de 1MB

2.3.4 PowerPC 900

Com um grande poder computacional, podendo executar até 200 instruções ao mesmo tempo em clocks maiores que 2 GHz e com um baixo consumo de energia, a família 900 podia ser vista como uma versão single core do POWER4.

Porém esta família já empregava as instruções 64-bits além de capacidades SIMD (Single Instruction Multiple Data) para aumentar o desempenho de aplicações computacionalmente intensivas, como multimídia e gráficas.

Desta forma, logo foi adotado pela Apple em sua linha G5. E devido ao baixo consumo de energia de algumas linhas de processadores logo pode ser visto também em dispositivos embarcados.

3. OS LIVROS E A ESPECIFICAÇÃO

A especificação da arquitetura da família POWER pode ser encontrada em um conjunto de livros chamado Power ISA (Instruction Set Architecture). Este conjunto atualmente é composto por cinco livros e apêndices. Esta especificação é aberta e mantida pela Power.org, de forma que qualquer empresa que deseja fabricar um chip compatível com a família POWER possui a documentação necessária de referência.

Através de comitês de experts a Power.org desenvolve os padrões abertos e as especificações, além de promover boas práticas, educar e certificar, de modo que a arquitetura Power

possa evoluir e aumentar a adoção da arquitetura pela indústria de eletrônicos.

3.1 Power.org

A Power.org é uma comunidade de hardware aberto que gerencia e mantém as especificações da arquitetura POWER. Fundada em dezembro de 2005 pela IBM e mais 14 outras organizações, dentre elas Chartered, Cadence e Sony, a Power.org triplicou seu tamanho desde então. Em fevereiro de 2006 a Freescale Semiconductor também se juntou a Power.org, trazendo uma grande representatividade da comunidade de dispositivos embarcados.

3.2 PowerPC ISA

Como fruto do trabalho da Power.org, é disponibilizado para o público o PowerPC ISA[6], um conjunto de livros que detalha o conjunto de instruções que um chip POWER deve implementar. Desta forma, para o fabricante projetar um chip POWER, basta que ele implemente as instruções detalhadas no conjunto de livros do PowerPC ISA.

Este conjunto é bastante extenso e atualmente dividido em 5 livros:

3.2.1 Livro I

Também conhecido como *User Instruction Set Architecture*, cobre o conjunto de instruções disponíveis e recursos relacionados para o programador da aplicação. Neste conjunto estão inclusos também as instruções APU, incluindo a extensão de vetorização (SIMD) conhecida como Altivec.

3.2.2 Livro II

Também conhecido como *Virtual Environment Architecture* define o modelo de armazenagem virtual, incluindo desde operações atômicas, cache, controle de cache, modelo de memória até o armazenamento compartilhado e instruções de controle de memória pelo usuário.

3.2.3 Livro III-S

O Livro III é dividido em dois livros. Ambos tratam de *Operating Environment Architecture*. Ou seja a arquitetura POWER vista pelo lado do sistema operacional, como por exemplo tratamento de excessões, interrupções, gerenciamento de memória, debug e funções especiais de controle.

O Livro III-S basicamente trata das instruções de supervisão usada para implementações de propósito geral e servidor.

3.2.4 Livro III-E

Já o Livro III-E, que derivou do antigo livro PowerPC Livro E define as instruções de supervisão usada em aplicações embarcadas.

3.2.5 Livro VLE

Finalmente o Livro VLE, conhecido como *Variable Length Encoded Instruction Architecture* apresenta instruções e definições alternativas aos Livros I, II e III. Os propósitos dessas instruções são para obter uma maior densidade de instruções e para aplicações bem específicas e de baixo nível.

4. O PODER DOS VIDEOGAMES

Atualmente todos os três principais videogames disponíveis no mercado possuem processador compatível com a família PowerPC. Este é um marco histórico num mundo dominado por processadores MIPS desde os primeiros consoles de videogame de 16-bits.

4.1 Nintendo Wii

O Nintendo Wii é um console de videogame da chamada sétima geração. Seus principais concorrentes são o Microsoft X-Box 360 e o Sony Playstation 3. Lançado em dezembro de 2006 logo se tornou um sucesso de venda batendo seus rivais devido a duas grandes armas: seu baixo preço (metade de um Playstation 3) e seu controle capaz de detectar movimentos com precisão.

O núcleo de processamento é um processador baseado no PowerPC chamado de "Broadway" desenvolvido pela IBM[4]. Rodando a 729 MHz e com baixo consumo de energia, especulações dizem que o "Broadway" é uma evolução do "Gekko", o processador que equipava o Nintendo Gamecube (console predecessor do Wii).

Fabricado atualmente na tecnologia de 90 nm SOI (Silicon on Insulator), conta com registradores inteiros de 32-bits e suporte a extensão PowerPC de 64-bits, além de instruções SIMD. Como se trata de um projeto de processador para um hardware específico, não existem muitas informações disponíveis sobre detalhes do processador.

4.2 Sony Playstation 3

Projetado para ser o mais avançado videogame disponível no mercado e lançado em novembro de 2006 dispunha do processador mais avançado do mercado: o Cell [3].

O Cell, ou formalmente conhecido como Cell Broadband Engine Architecture, é um processador multi-cores projetado com conceitos totalmente inovadores pela aliança Sony-Toshiba-IBM. O design dele contempla dois tipos de cores: baseado em PowerPC e baseado em um modelo inovador chamado Synergistic.

Neste design os elementos de processamento PowerPC (PPE) e os elementos de processamento Synergistic (SPE) estão interligados por um bus de interconexão de elementos (EIB) que possui a forma de um anel. Este anel possui diversos canais que podem ser reservados para estabelecer canais de comunicação entre os elementos de processamento, garantindo uma comunicação com alto throughput.

O PPE suporta rodar até duas threads por core e funciona como controlador para os SPEs. Seu projeto é muito semelhante a um processador PowerPC, entretanto com diversas unidades simplificadas em busca de permitir um clock de operação maior.

Já os SPEs são processadores independentes com a memória embutida em seu core. Ou seja, os dados necessários para execução estão na memória interna dele e portanto não há a necessidade de efetuar acesso a memória externa de acesso aleatório. Esta característica evita stalls devido a acesso compartilhado de memória, que em conjunto com sua arquitetura otimizada para operações de ponto flutuante aumenta

drasticamente o desempenho das aplicações, especialmente as científicas e gráficas.

Cada SPE possui 128 registradores de 128-bits cada além de uma memória RAM interna de 256 KB que roda na velocidade do SPE. Os dados e códigos são carregados através de DMA pelo PPE para o SPE e este inicia a execução.

O projeto do Cell utilizado pelo Playstation 3 utiliza 1 PPE e 7 SPE, apesar de que o projeto inicial previa 8 SPE. Devido a baixa confiabilidade no processo de fabricação um dos cores é sempre desabilitado, restando apenas 7 para uso no Playstation 3.

Os SPE podem muitas vezes serem vistos como hardwares programáveis para determinadas funções específicas. Por exemplo, num Cell, a decodificação de vídeo pode ser dividida em estágios e cada estágio pode ser programado em um SPE. Depois programa-se o EIB para conectar as SPE na ordem correta e a decodificação de vídeo pode ser feita sem gastar processamento do PPE.

Estas características fizeram o Cell ser o processador multimídia mais avançado atualmente e diversas aplicações vislumbradas. Como por exemplo decodificação e processamento de TV digital em tempo real.

4.3 Microsoft X-Box 360

O X-Box 360 é o segundo videogame produzido pela Microsoft. Lançado em Novembro de 2005, quase um ano antes de seu principal competidor o Playstation 3 ele dispunha de um processador totalmente novo desenvolvido pela IBM chamado de Xenon.

O Xenon é um processador compatível com o PowerPC contendo 3 cores. Estes cores são versões levemente modificadas do PPE que equipa o processador Cell [7].

Embora o desenvolvimento do Cell tenha se iniciado antes do Xenon, o projeto do Xenon teve a vantagem de utilizar os cores já quase prontos que foram desenvolvidos para o Cell. Desta forma o processador ficou pronto quase um ano antes do Cell e deu uma vantagem comercial ao X-Box 360 contra o Playstation 3 da Sony.

5. FUTUROS LANÇAMENTOS

A arquitetura PowerPC continua bastante ativa no desenvolvimento de novos processadores compatíveis. Atualmente existem três grandes projetos que estão nos holofotes da mídia. Um processador para dispositivos embarcados e o tão aguardado POWER7 para grandes máquinas.

5.1 POWER7

Apesar de seu desenvolvimento ser sigiloso, a IBM confirmou que um supercomputador chamado “Blue Waters” está sendo construído para a universidade de Illinois e este supercomputador empregará chips POWER7 com 8 cores.

A especificação publicada do “Blue Waters” caracteriza cada POWER7 com quatro cores e cada core capaz de rodar quatro threads. Além disso o POWER7 utiliza um design com módulos de dois chips, chegando aos 8 cores anunciados e 32 threads por chip.

Estes cores serão feitos na tecnologia de 45nm e seu clock atingirá 4 GHz, isso torna o POWER7 duas vezes mais rápido que os chips POWER6 atuais.

O projeto “Blue Waters” pretende empregar 38900 chips POWER7 cada um com 8 cores rodando a 4 GHz. Não só o quantidade de processador é monstruosa, mas também a memória: o sistema conta com cerca de 620 TB de memória RAM. Isso tudo para bater a marca de 10 petaflops de pico.

5.2 e700

Projetado pela Freescale Semiconductors com a promessa de ser da família da nova geração de 64 bits de alto desempenho para dispositivos embarcados, entando não foi liberado muitas informações sobre ele exceto que a família contará com processadores com clocks desde 667 MHz até 3 GHz.

6. CONCLUSÃO

Através desse passeio pela história da arquitetura POWER podemos ver como um projeto que se iniciou na metade da década de 70 em busca de uma solução para telefonia terminou 35 anos depois como uma arquitetura altamente empregada nos mais diversos sistemas, desde sistemas embarcados até supercomputadores.

Também é notável a incorporação de novas tecnologias a linha POWER ao longo dos anos. Surgindo o primeiro processador numa forma bem simples, e foi ganhando com o tempo capacidade superescalar através de pipelines e múltiplas unidades de processamento (aritmético, branches, load e store, etc.), processamento 64 bits, operações vetoriais (SIMD), múltiplos cores, múltiplas threads e virtualização.

Diversos supercomputadores foram construídos e estão sendo construídos empregando chips POWER, além da notável dominação no mercado de videogames, expulsando os tradicionais MIPS. Hoje em dia podemos encontrar máquinas POWER na grande maioria das grandes empresas, bancos e instituições de pesquisas devido ao seu alto poder de processamento.

Lembramos também o curioso fato que a arquitetura POWER não está no monopólio de apenas uma grande empresa e sim em uma instituição, a Power.org, que através de seus comitês determina os rumos da PowerPC ISA. Desta forma, inúmeras empresas ao redor do mundo desenvolve chips POWERs que atendam necessidades específicas do mercado.

Desta forma, concluímos que é possível uma arquitetura sobreviver ao longo de décadas evoluindo e acompanhando o mercado, produzindo processadores novos de altíssimo desempenho a cada geração sem esbarrar no problema da arquitetura legado.

7. REFERENCES

- [1] R. H. J. e. a. Anderson, S.; Bell. *RS/6000 Scientific and Technical Computing: POWER3 Introduction and Tuning Guide*. IBM Corp, 1998.
- [2] J. Cocke and V. Markstein. The evolution of risc technology at ibm. *IBM Journal of Research and Development*, 34:4–11, 1990.

- [3] M. Gschwind, H. P. Hofstee, B. Flachs, M. Hopkins, Y. Watanabe, and T. Yamazaki. Synergistic processing in cell's multicore architecture. *IEEE Micro*, 26(2):10-24, 2006.
- [4] IBM. Ibm ships first microchips for nintendo's wii video game system. *IBM Press room*, 1996.
- [5] C. e. e. a. . May. *The PowerPC Architecture: A Specification for A New Family of RISC Processors*. Morgan Kaufmann Publishers, 1994.
- [6] Power.org. *Power ISA v2.06 Now Available*.
- [7] D. Takahashi. Learning from failure - the inside story on how ibm out-foxed intel with the xbox 360.