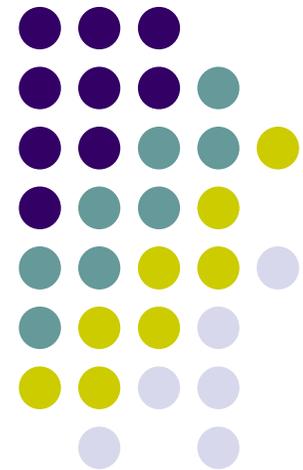
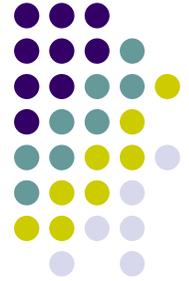


O multiprocessador Cell: uma arquitetura para explorar o paralelismo

Taísa Cristina Costa dos Santos

Instituto de Computação - Unicamp
Junho/2010





Agenda

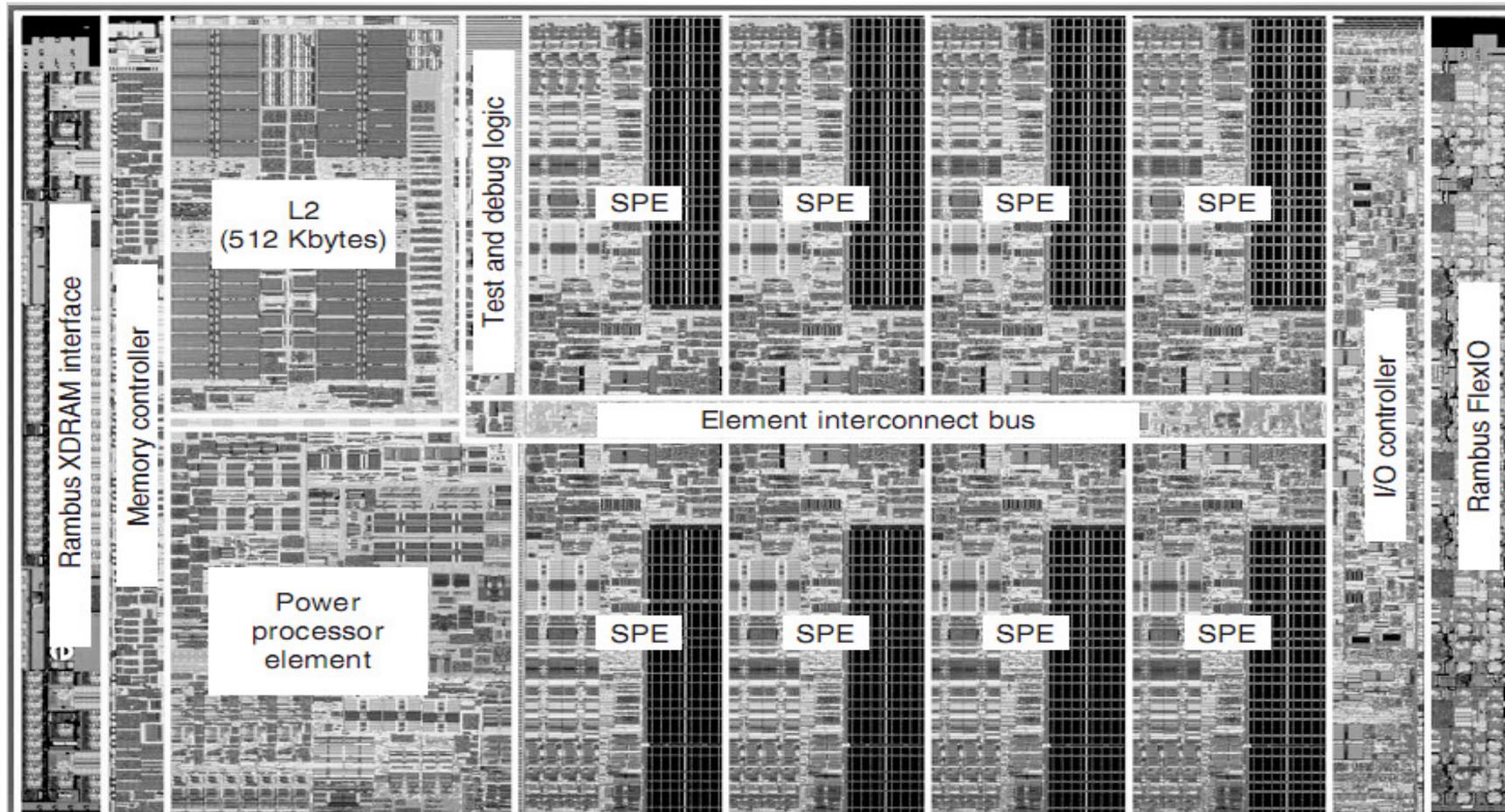
- Introdução
- Visão geral da arquitetura
- Power Processor Element - PPE
- Synergic Processor Element - SPE
- Rede de comunicação dos elementos
- Fluxo DMA
- Explorando o paralelismo
- Conclusões



Introdução

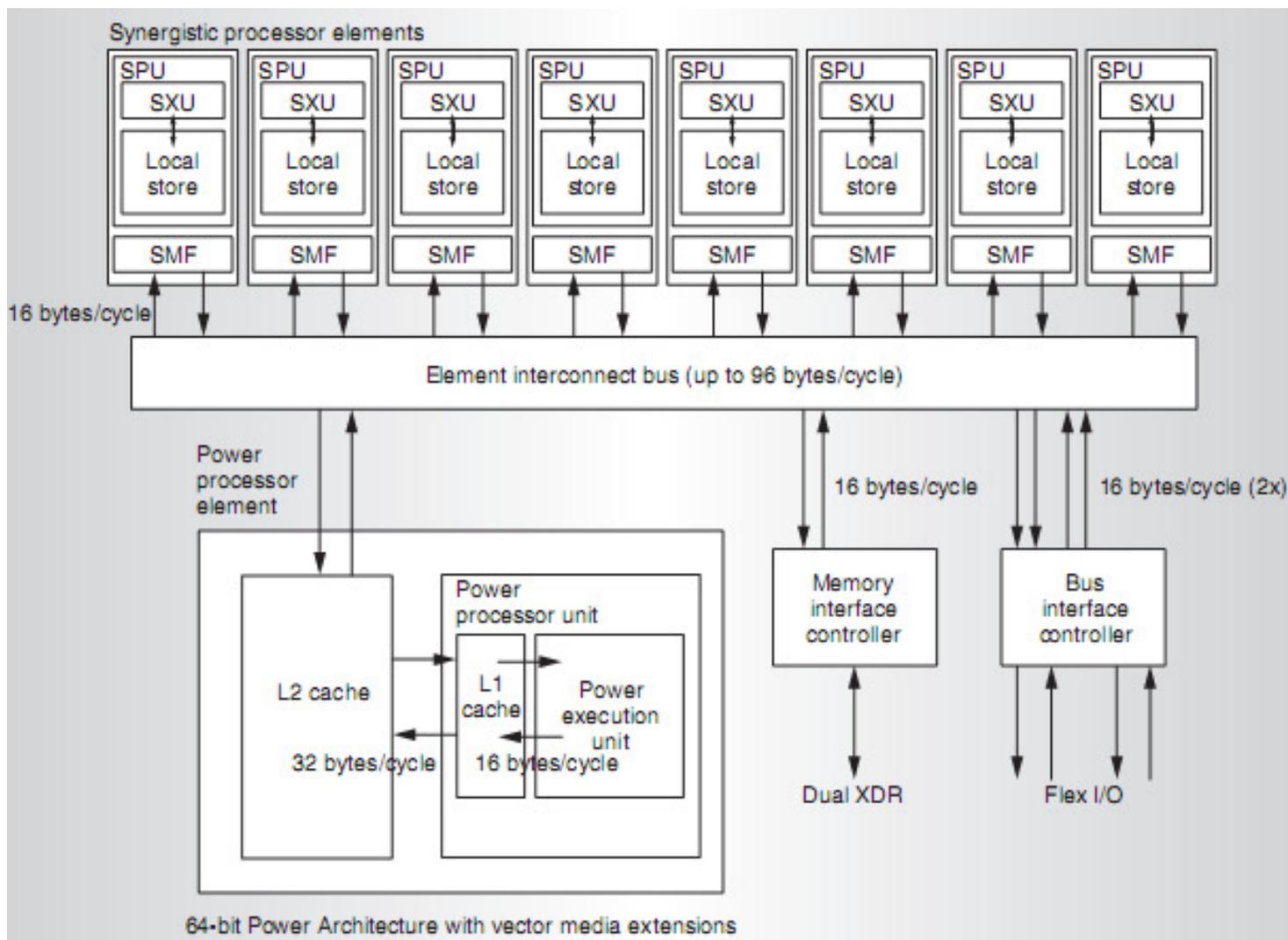
- IBM, Sony e Toshiba: processador de desempenho 10x melhor que *desktops*, sem comprometer consumo de energia e custo
- *Single-core* => baixo retorno por investimento
- Estratégia: criar uma arquitetura inovadora
- Maior desempenho por área investida
- Núcleos mais simples => menos área, menos consumo de energia, mais núcleos por *chip*

Visão geral da arquitetura





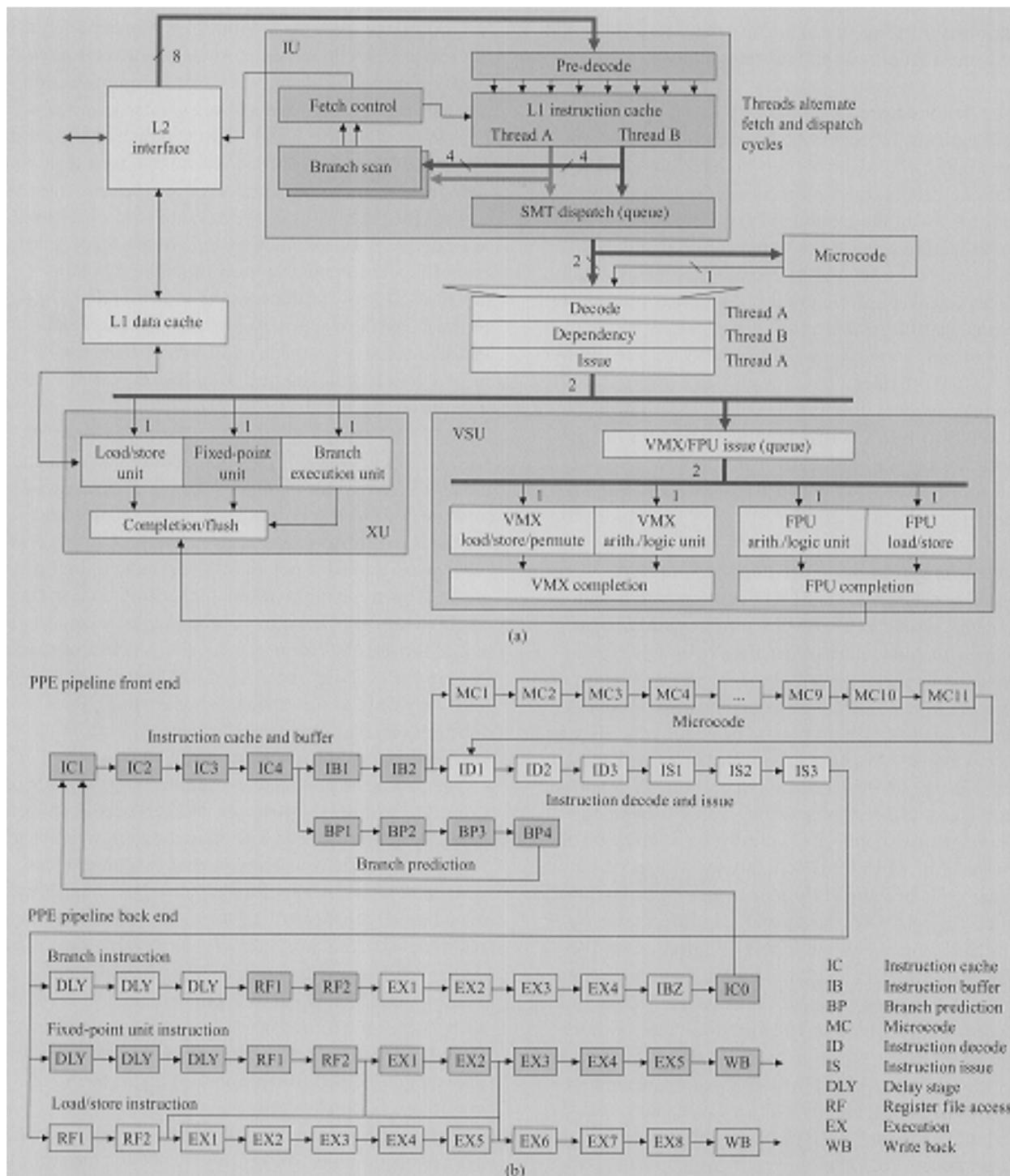
Visão geral da arquitetura



Power Processor Element (PPE)



- PowerPC 64-bit tradicional
- Duas *caches* L1 de 32KB cada (instrução e dados) e uma cache L2 de 512KB
- Extensão multimídia vetorial 128-bit
- Despacho duplo, execução em ordem, *two-way simultaneous multithreaded*
- Instruções FP e vetoriais executadas fora de ordem em relação às demais



Unidades principais e diagrama de *pipeline* do PPE

Synergic Processor Element - SPE



- Unidade de processamento sinérgico (SPU)
 - Processador RISC SIMD, despacho duplo;
 - Armazenamento local de 256KB;
 - 128 registradores de 128 bits cada;
 - 2 *pipelines*: um para ponto-fixe e ponto-flutuante, outro para os demais tipos de instrução
- Controlador de fluxo de memória (MFC)

Realiza operações DMA para a transferência de dados entre o armazenamento local e sistema de memória principal

Synergic Processor Element - SPE

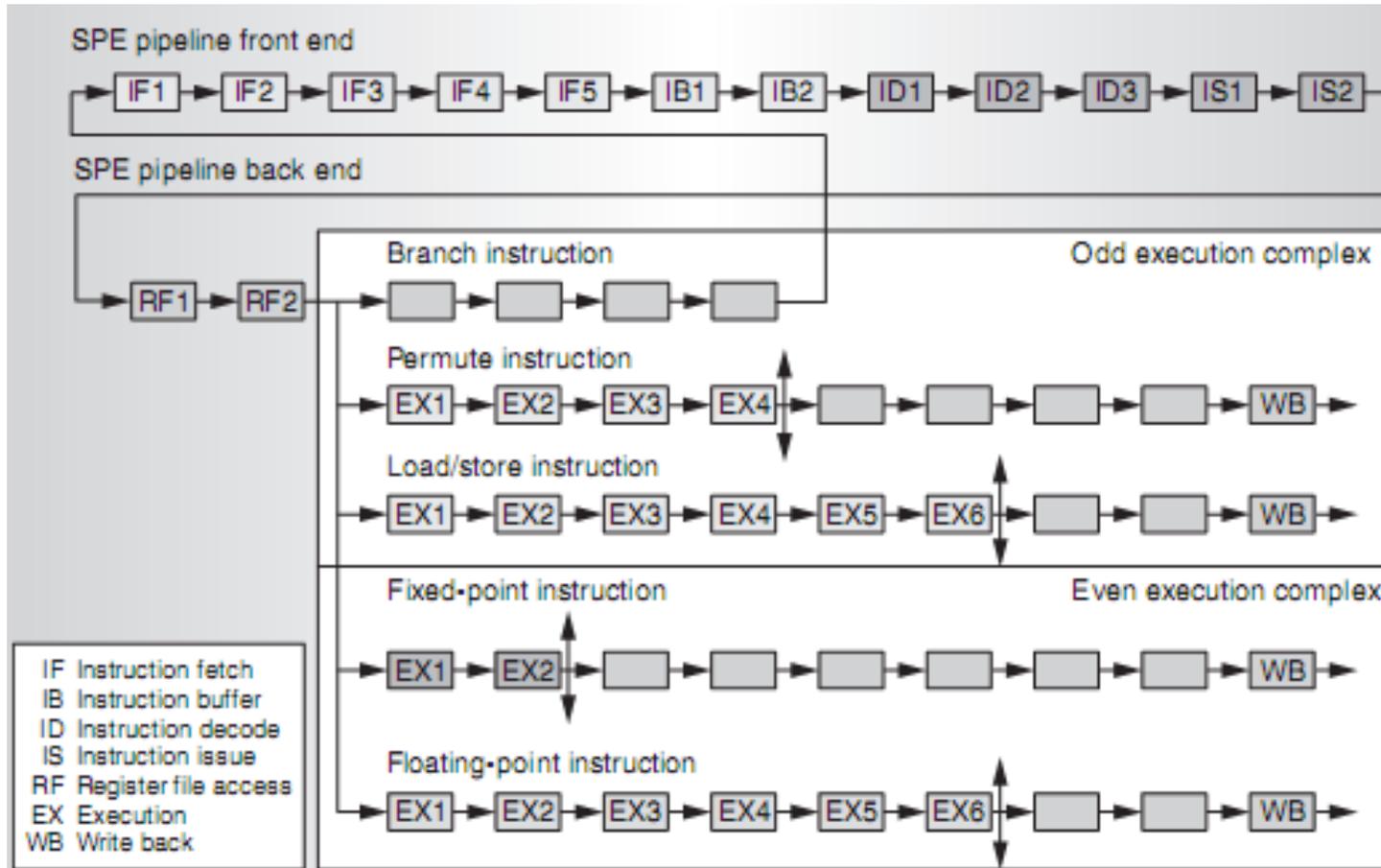


Diagrama de pipeline do SPE

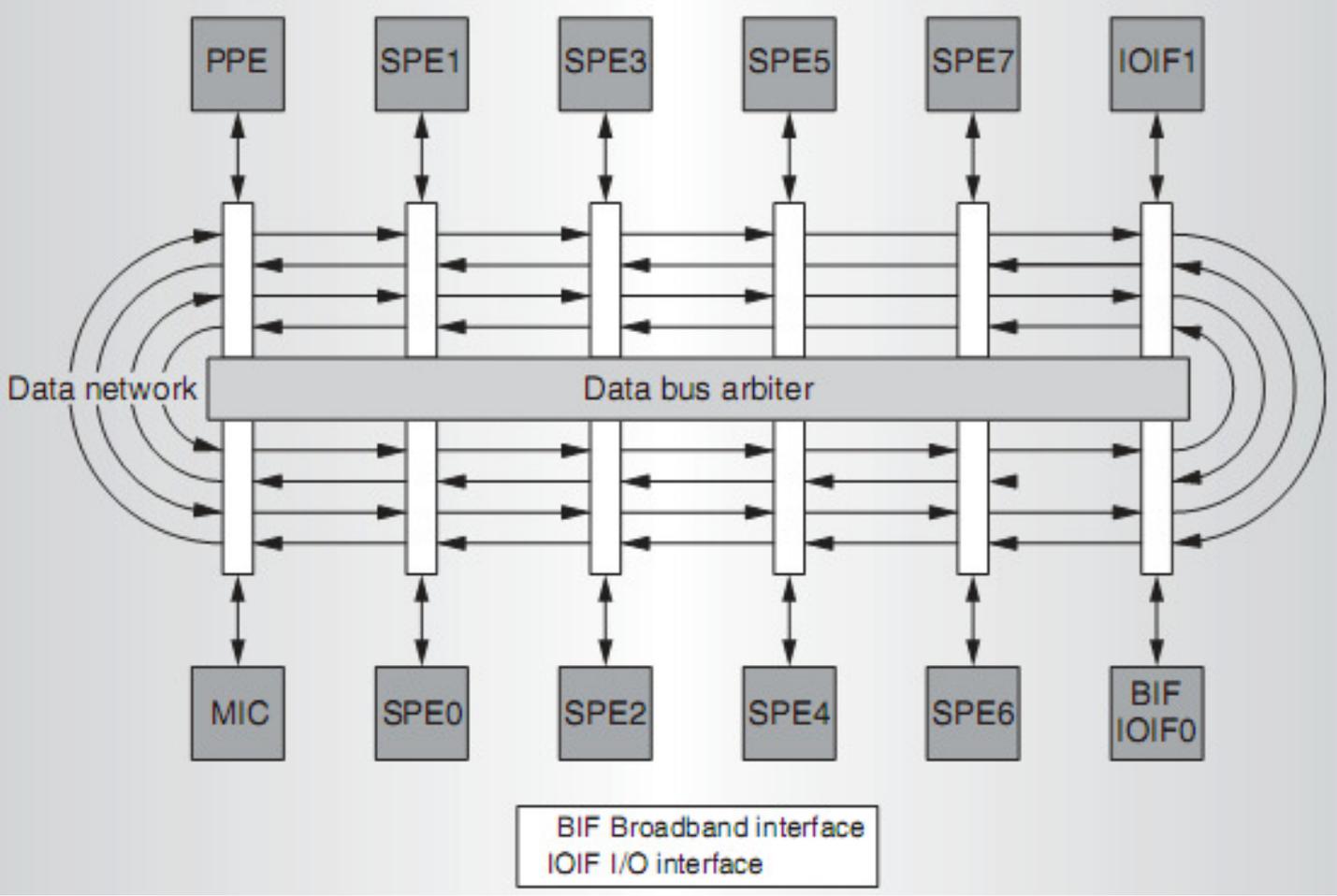
Rede de comunicação dos elementos



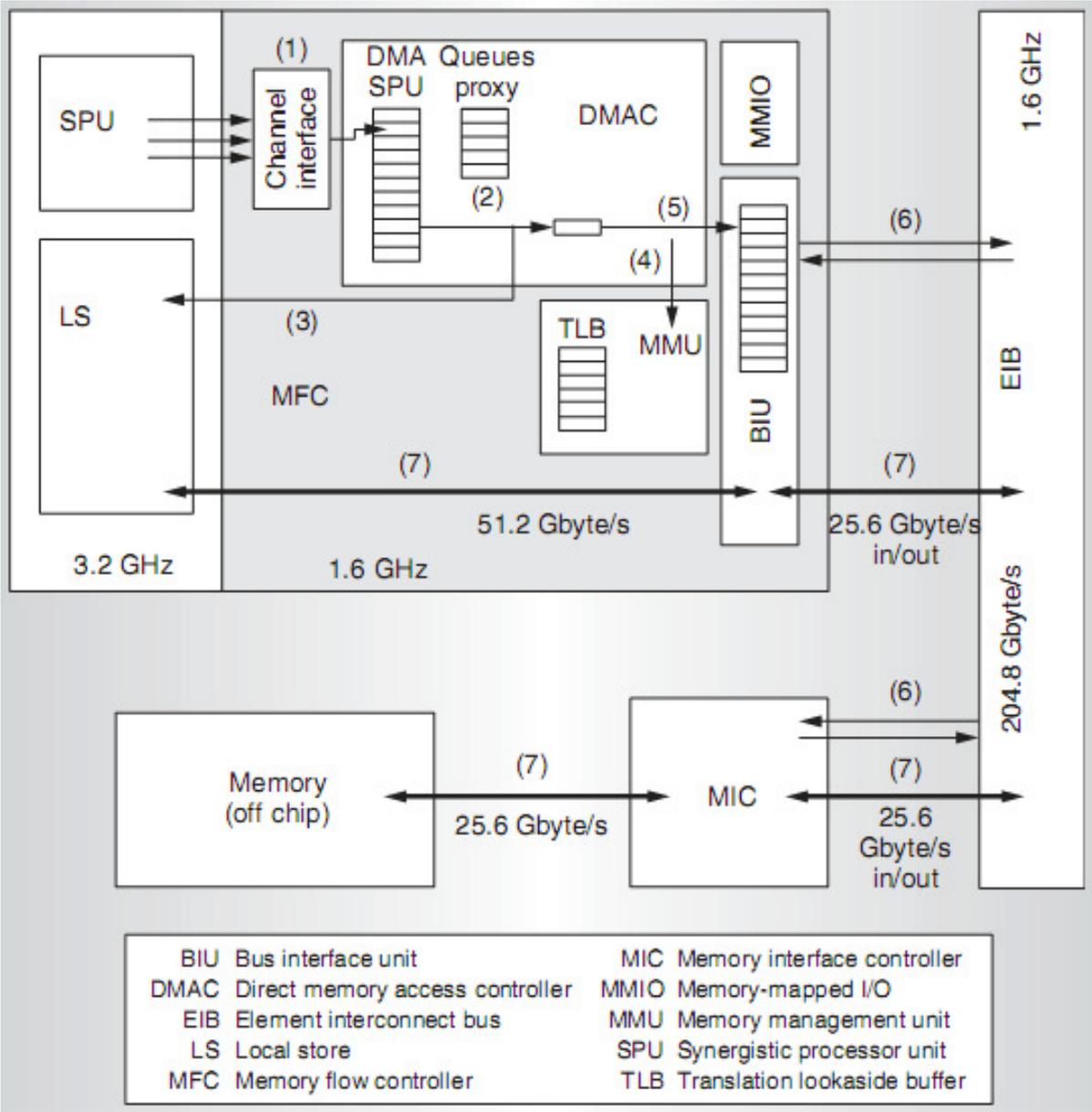
- Element Interconnect Bus (EIB)
 - 4 anéis de 16 bytes cada, dois no sentido horário e dois no sentido anti-horário
 - Arbitragem para acesso e seleção de anel
 - Escalonamento *round-robin*

- MFC: operações DMA
 - MMU: tradução de endereços (por TLB)
 - DMAC: controlador de operações DMA; processa os comandos de transferência e coloca os pedidos no barramento

Element Interconnect Bus (EIB)



Fluxo DMA

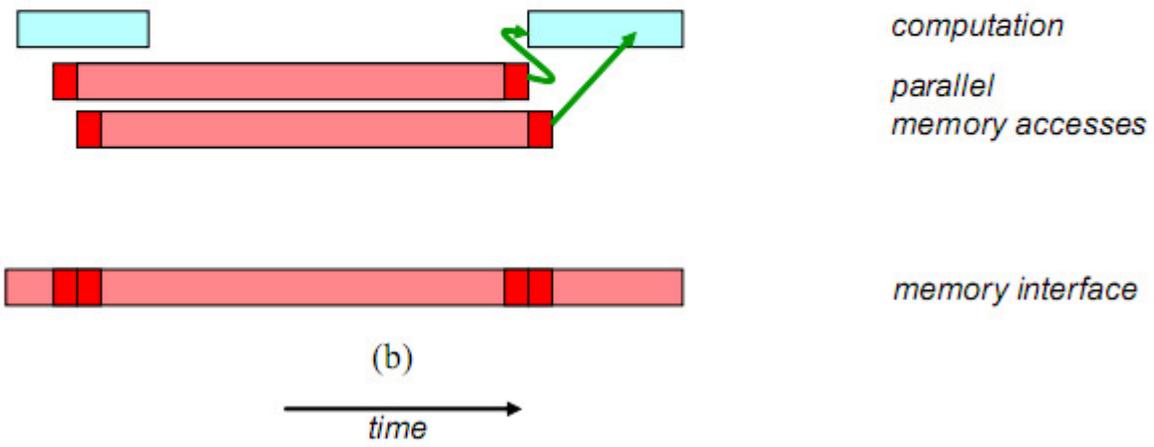
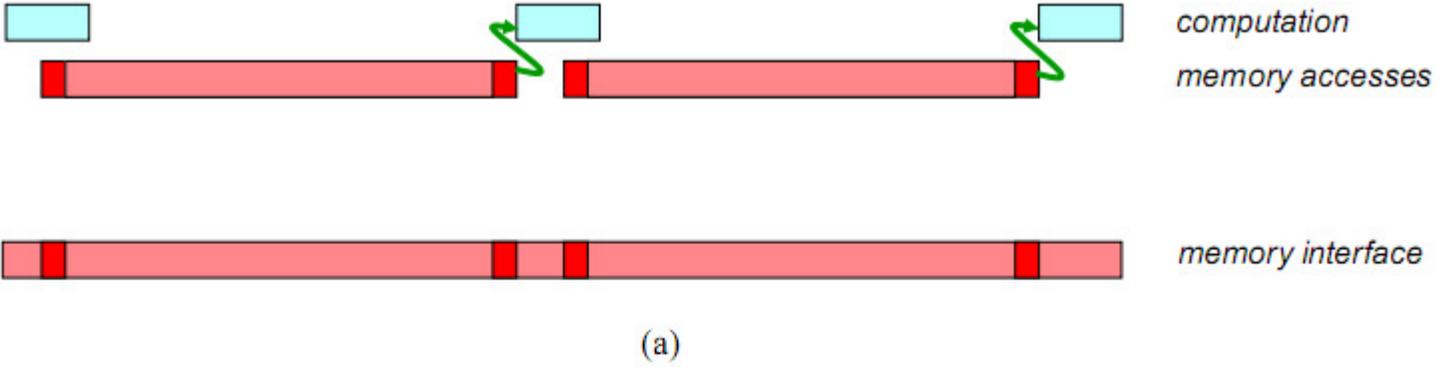
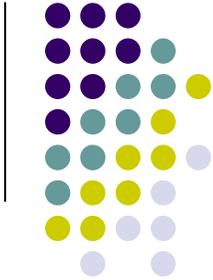


Explorando o paralelismo



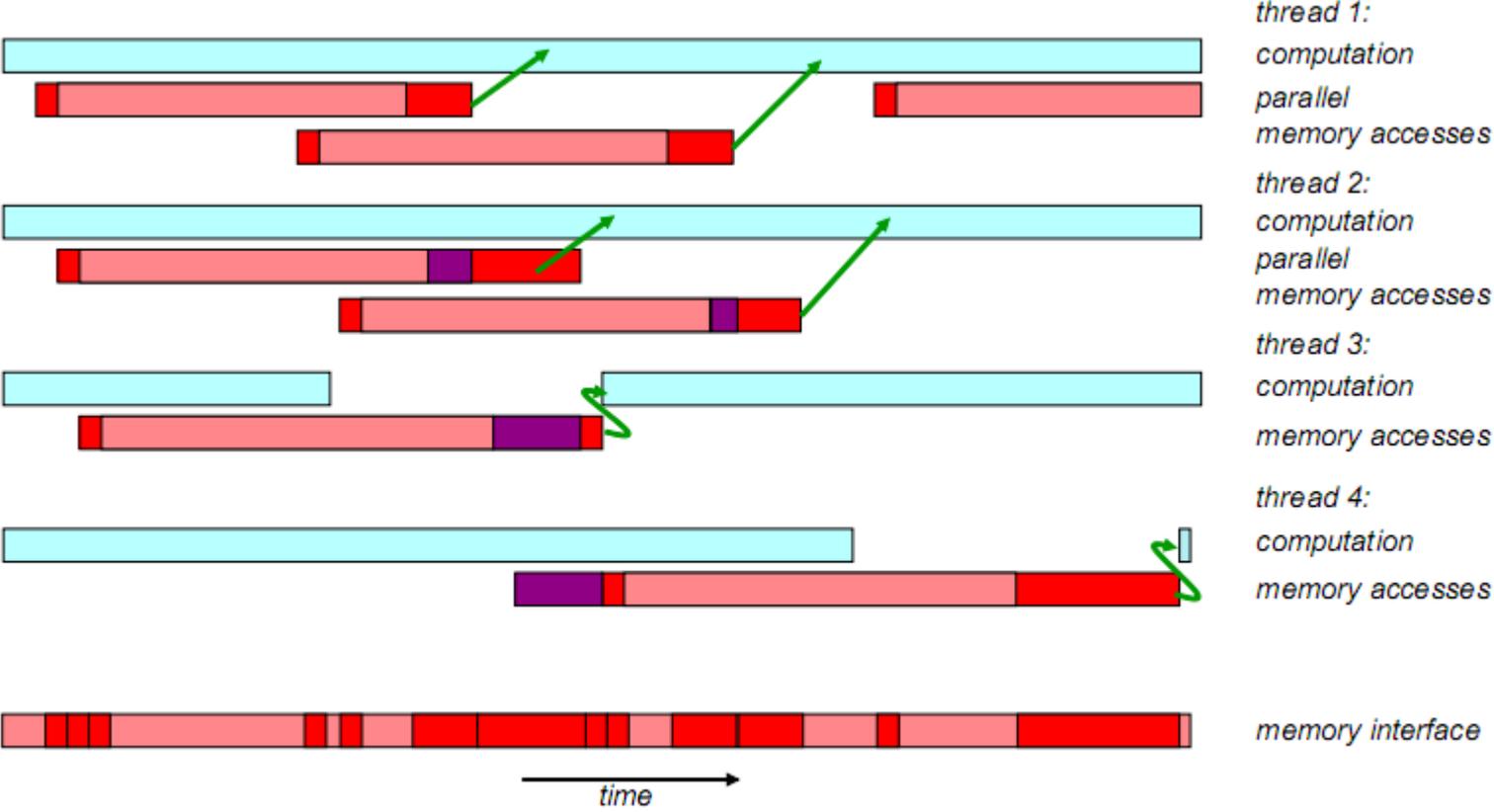
- Paralelismo em diversos níveis:
 - Dados: suporte a SIMD predominante
 - Instrução: escalonamento estático com baixo consumo de energia
 - *Thread*: projeto multicore e suporte a *hardware multithread* no PPE
 - Computação-transferência (CTP): *engines* de transferência de dados programáveis
 - Memória (MLP): sobreposição de transferências de um mesmo núcleo ou de vários núcleos

Explorando CTP e MLP



computation mem protocol mem idle mem contention

Explorando CTP e MLP



thread 1:
computation
parallel
memory accesses

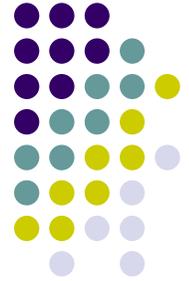
thread 2:
computation
parallel
memory accesses

thread 3:
computation
memory accesses

thread 4:
computation
memory accesses

memory interface

computation
 mem protocol
 mem idle
 mem contention



Conclusões

- Arquitetura inovadora
- Sistema de comunicação eficiente
- Suporte a processamento intensivo de dados
- Uso eficaz da largura de banda da memória
- Explora diversos níveis de paralelismo => dependente do compilador/desenvolvedor
- Alterações no modo de criar aplicações