

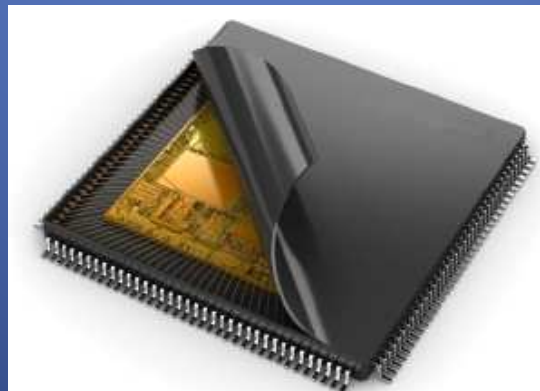
Processadores Low-Power/Energy Efficient

Alexander Peter Sieh

Centro de Pesquisas Wernher Von Braun
Av. Alice de Castro Pupo Mattosinho, 301
Campinas-SP, Brasil 13098-392
alexsieh@gmail.com

Jose Arnaldo Bianco Filho

Centro de Pesquisas Wernher Von Braun
Av. Alice de Castro Pupo Mattosinho, 301
Campinas-SP, Brasil 13098-392
josearn@gmail.com



Agenda

- Introdução
 - Fontes de consumo de potência em CMOS
- Potência e Energia
 - Uma comparação entre dois processadores
- Técnicas de low-power
 - Escalonamento de frequência e tensão
 - Transistores com alto V_t
 - Codificação do barramento
 - Paralelismo na arquitetura
 - Design assíncrono
 - Clock gating e Power gating
 - Microprocessadores low-power

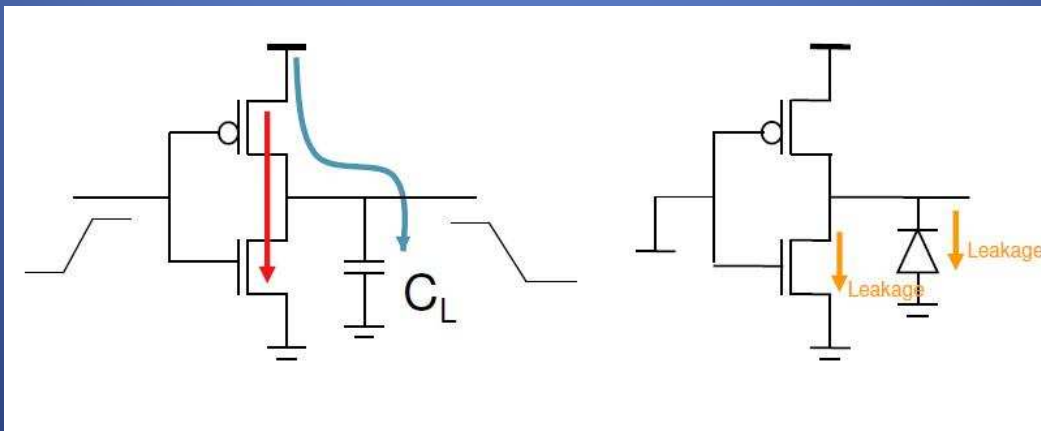
Introdução

Fontes de consumo no transistor CMOS:

$$P_{\text{total}} = P_{\text{dynamic}} + P_{\text{static}}$$

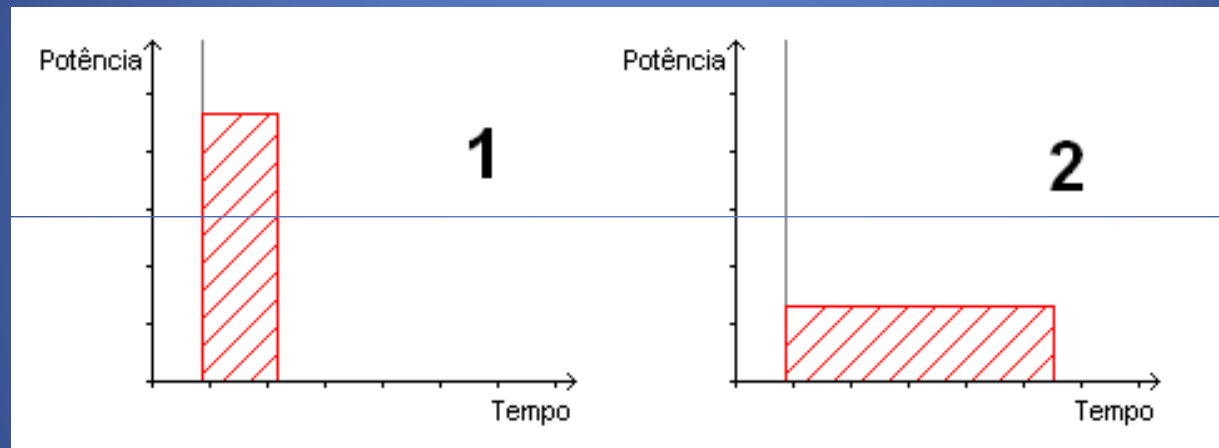
$$P_{\text{total}} = \alpha f (1/2) C V_{\text{DD}}^2 + t_{\text{sc}} V_{\text{DD}} I_{\text{peak}} f + \Sigma V_{\text{DD}} I_{\text{leakage}}$$

Load Charge Short Circuit Leakage



Potência e Energia

Suponha os gráficos abaixo como o perfil de consumo de dois processadores de diferentes arquiteturas realizando a mesma função.



O consumo de energia (área do gráfico em vermelho) é o mesmo. Porém, processador 2 é mais low-power que o processador 1, enquanto o processador 1 possui maior desempenho.

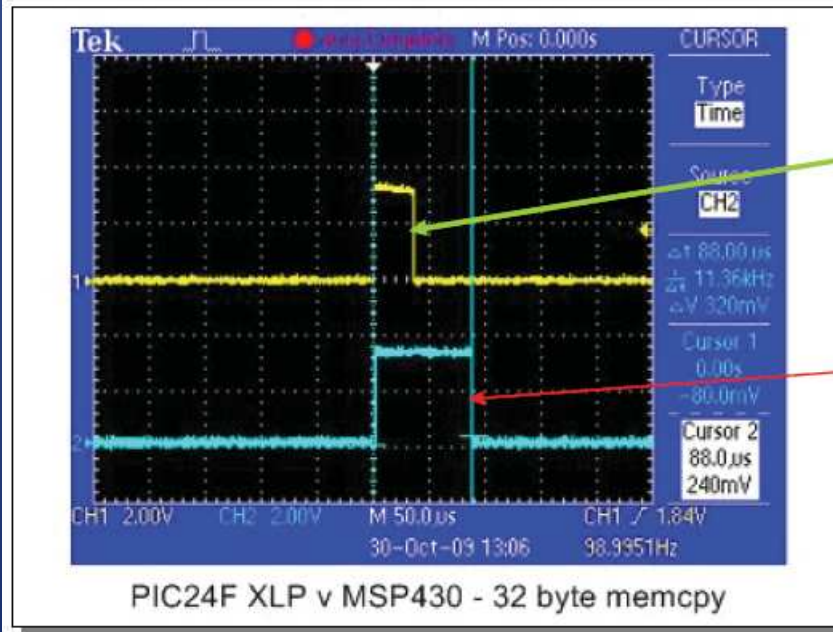
A escolha do melhor processador dentre os dois apresentados está diretamente relacionada à aplicação

Potência e Energia

Pesquisamos sobre a comparação de dois cores: MicroChip PIC24F16KA e TI MSP430F2252.

O foco do processador da MicroChip foi em eficiência energética devido seu melhor desempenho.

- MSP430 consumes 117% more energy by running 150% longer
- ~~PIC24 executes faster, sleeps longer & provides longer battery life with lower average current~~



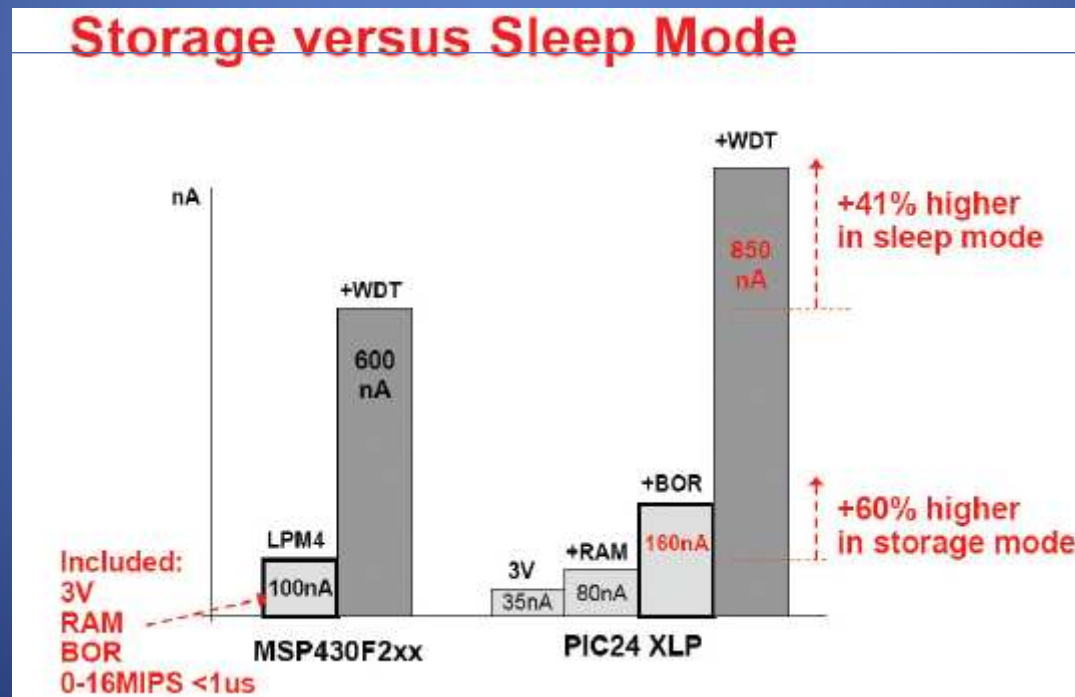
PIC24F16KA102 @ 3V
Active @ 4 MHz for 32 μ S
Energy Used = 168 nJ

MSP430F2252 @ 3V
Active @ 4 MHz for 80 μ S
Energy Used = 365 nJ

Potência e Energia

Pesquisamos sobre a comparação de dois cores: MicroChip PIC24F16KA e TI MSP430F2252.

O foco do processador da TI foi em baixo consumo, adequados para aplicações com menores budget de potência.



Técnicas de Low Power

- Redução da frequência de operação

$$P_{\text{dynamic}} = \alpha f (1/2) C V_{\text{DD}}^2 + t_{\text{sc}} V_{\text{DD}} I_{\text{peak}} f$$

- Se o sistema permite um desempenho mais baixo, é recomendável diminuir a frequência de operação ao máximo para economizar potência dinâmica
- É comum que em um sistema complexo não seja possível abaixar o clock geral do sistema, porque apenas algumas partes do circuito poderiam trabalhar a frequência mais devagar. Por isso, o uso de múltiplas frequências em múltiplos domínios de clock também é muito comum em circuitos integrados.

Técnicas de Low Power

- Redução da tensão de operação

$$P_{\text{total}} = \alpha f (1/2) C V_{\text{DD}}^2 + t_{\text{sc}} V_{\text{DD}} I_{\text{peak}} f + \Sigma V_{\text{DD}} I_{\text{leakage}}$$

Load ChargeShort CircuitLeakage

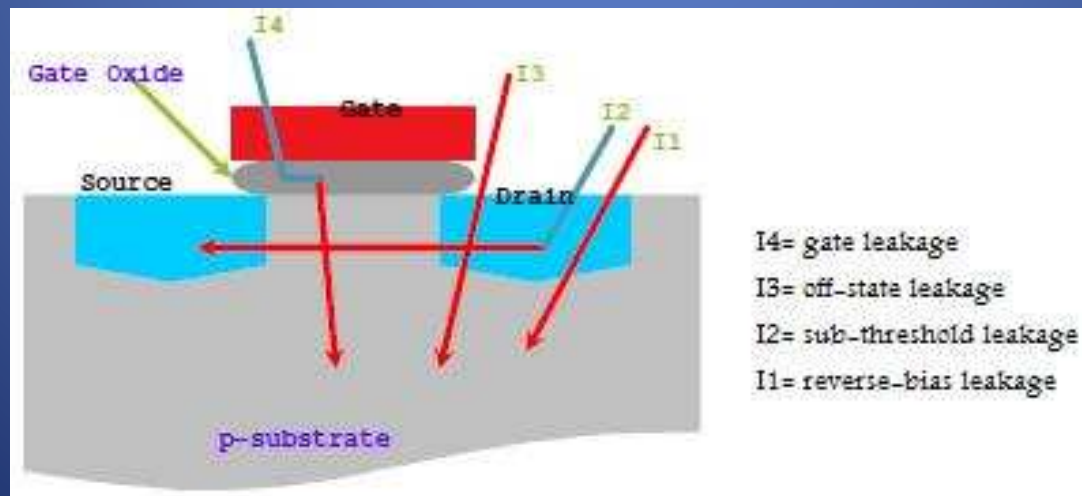
- Esta técnica reduz tanto o consumo de chaveamento (de forma quadrática) quanto o consumo estático (de forma direta), porém as portas lógicas ficam mais lentas.
- É comum que um sistema complexo exija que alguns trechos do circuito tenham mais desempenho que outros. Os segmentos do circuito que estão fora do caminho crítico podem operar com portas lógicas mais lentas e, portanto, em uma menor tensão consumindo menos. Por isso, o uso de múltiplas tensões também é muito comum em circuitos integrados.

Técnicas de Low Power

- Portas lógicas com alto V_t

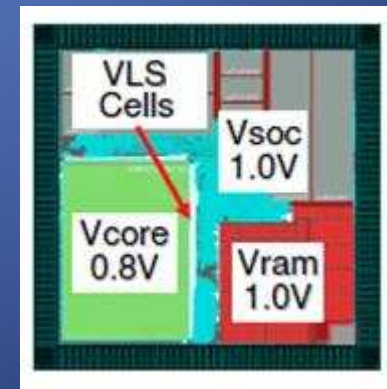
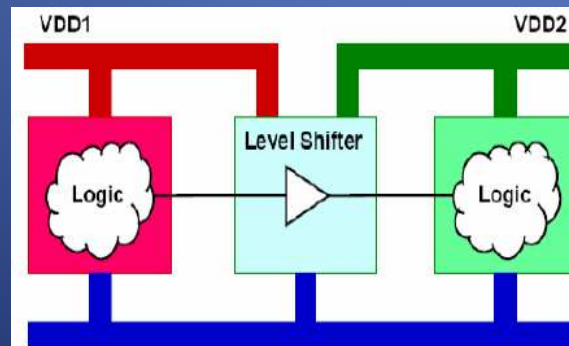
$$P_{\text{static}} = \sum V_{\text{DD}} I_{\text{leakage}}$$

- Com o escalonamento de processo, o consumo estático tem virado um maior contribuinte no consumo total de potência.
- Estas portas lógicas providas pela foundry são compostas por transistores que têm o limiar mínimo de tensão mais alto (high- V_t), resultando em menos corrente de fugas e economizando o consumo de potência estático.



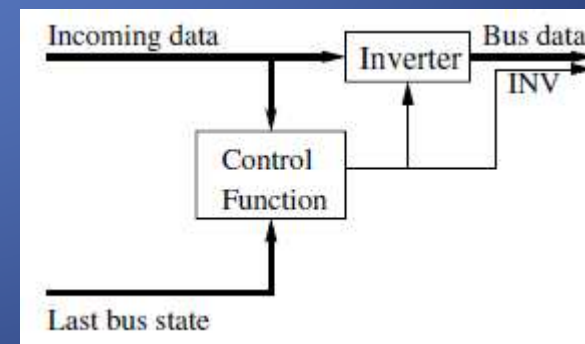
Técnicas de Low Power

- Escalonamento dinâmico de tensão de operação
 - Esta técnica de escalonamento dinâmico é aplicada temporalmente no circuito. Isto quer dizer que o mesmo bloco de circuito pode operar em duas frequências ou tensões diferentes, dependendo do momento. Para isto ocorrer, precisa de célula especial (voltage level shifter) que não corrompe o dado ao cruzar o domínio de tensões, convertendo o nível de tensão do dado lógico
 - Além das células level-shifter, precisa de um controlador de modos de operação que reduz o consumo do chip por demanda ao abaixar a tensão e frequência de cada bloco quando sua aplicação não exige o alto desempenho.



Técnicas de Low Power

- Codificação do barramento
 - O barramento entre o núcleo e memória normalmente tem alta capacitância e consome consideravelmente em qualquer microprocessador. Esta técnica consiste em minimizar o número de transições dos sinais de barramento.
 - Um famoso exemplo desta técnica é o método “bus-invert” que utiliza a distância de Hamming do dado atual com o próximo para inverter os sinais. Adicionando o sinal de polaridade, reduz muito a atividade de alternância no barramento.

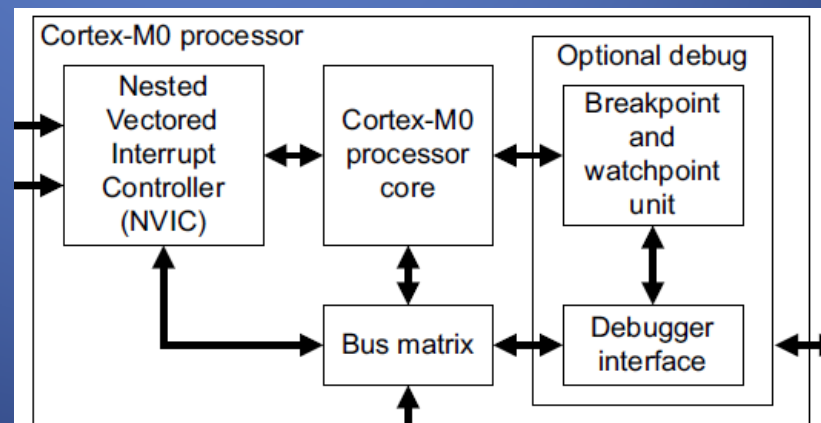


Técnicas de Low Power

- Paralelismo na medida certa

Número ideal de estágios no pipeline

- O nível de paralelismo por instrução (ILP) muitas vezes não é aproveitado pelo software, resultando em um overhead de hardware à toa que não traz grandes melhoras de desempenho. Por isso, o número de estágios de um pipeline no processador depende do ISA e da aplicação.
- O processador da ARM Cortex M0 é apenas um RISC de 32-bits, arquitetura Von Neuman e com pipeline de apenas 3-estágios.

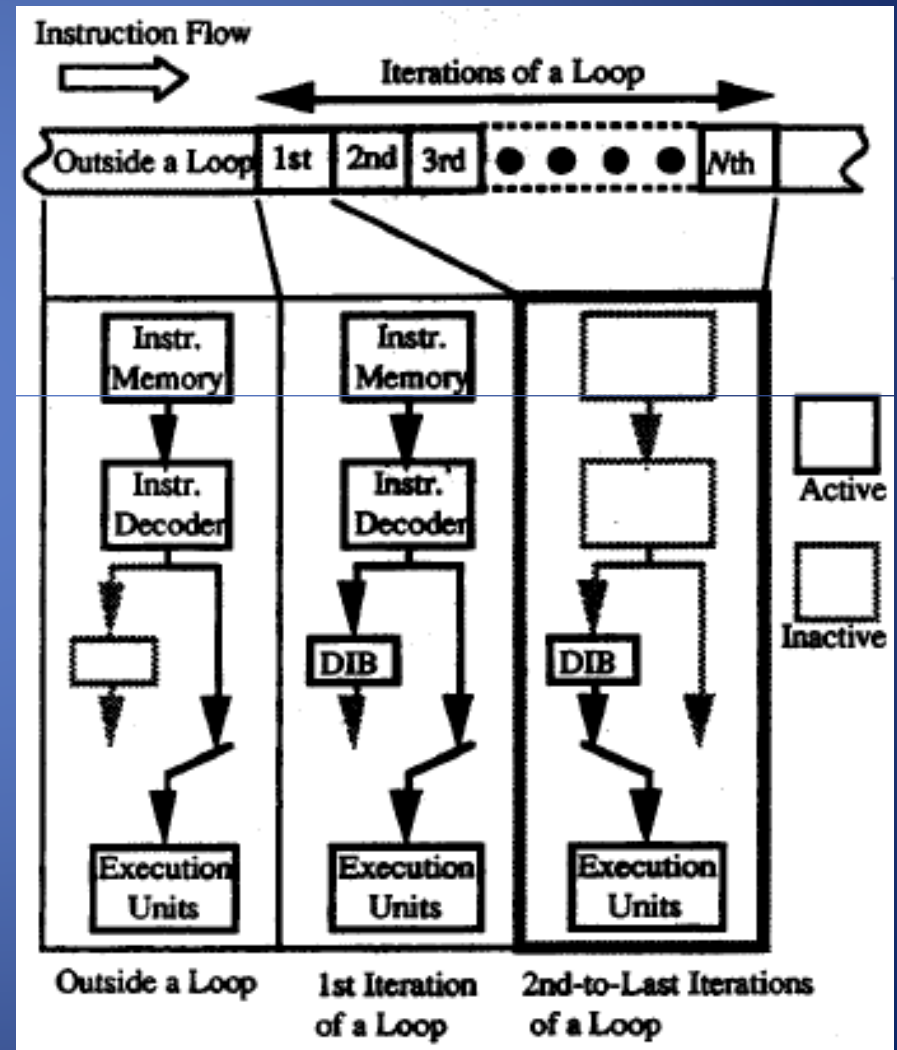


Técnicas de Low Power

- Paralelismo na medida certa

Eliminando estágios do pipeline

- Stage-skip pipeline é uma técnica para eliminar estágios no pipeline quando aparece um loop. Esta técnica adiciona um buffer dentro do processador para armazenar sinais de controle de um loop já decodificado. Ao executar um loop que contém repetidamente a operação multiply-accumulate, o novo pipeline reduz o consumo de potência ao eliminar os estágios de fetch e decode, evitando acessos a memória.

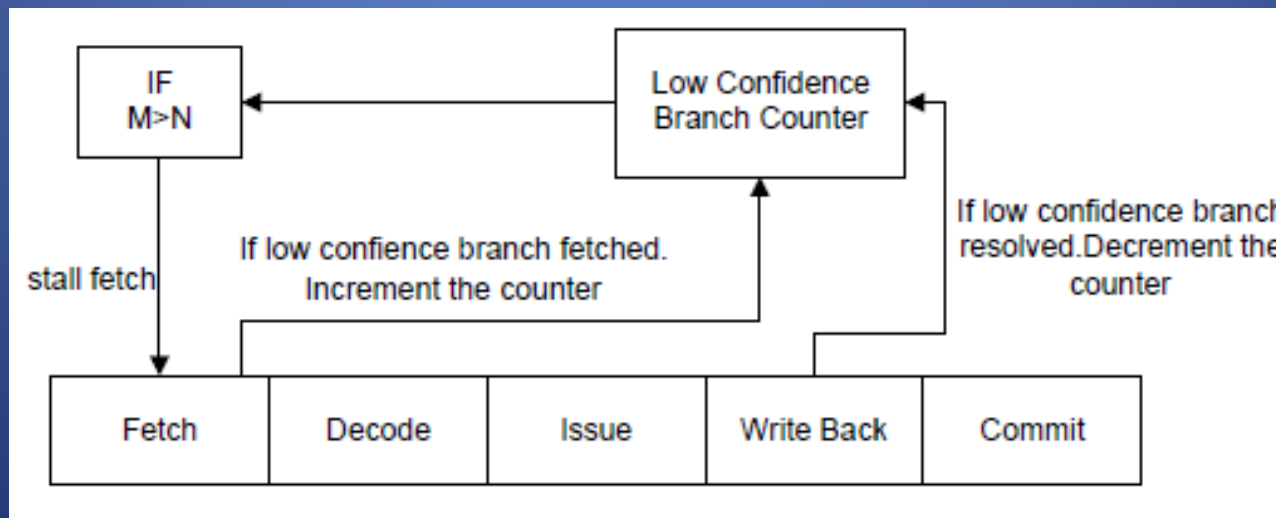


Técnicas de Low Power

- Paralelismo na medida certa

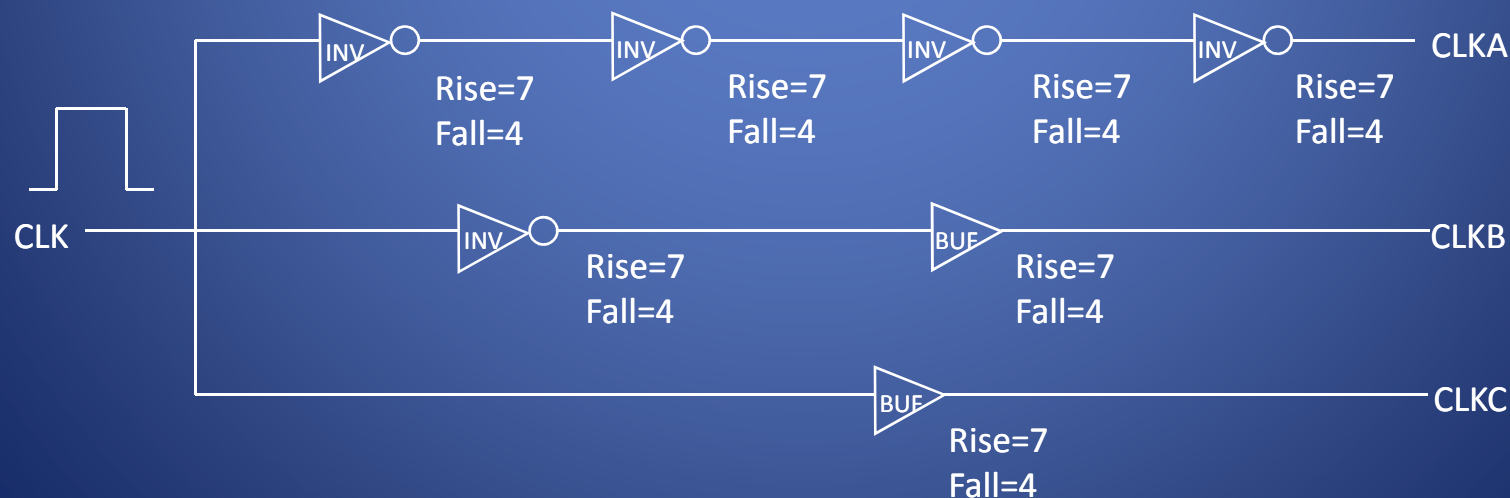
Pipeline Gating

- Pipeline gating é uma técnica para prevenir desperdício de energia ao errar na especulação. Esta técnica adiciona um estimador de confiança da predição de branch. Quando a confiança da predição é baixa, a especulação é prevenido através do pipeline gating, que força um “stall” no estágio de fetch.



Técnicas de Low Power

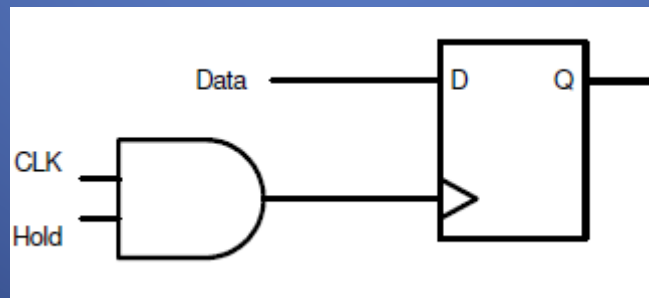
- Design assíncrono
 - A indústria adotou a lógica síncrona como padrão, mas a técnica de design assíncrono, quando empregada corretamente, pode levar a enormes ganhos de desempenho e economia de energia. É comum um chip com alto consumo devido à distribuição de clock pelo seu circuito. A lógica assíncrona dispensa toda esta árvore de clock, consumindo muito menos.



Técnicas de Low Power

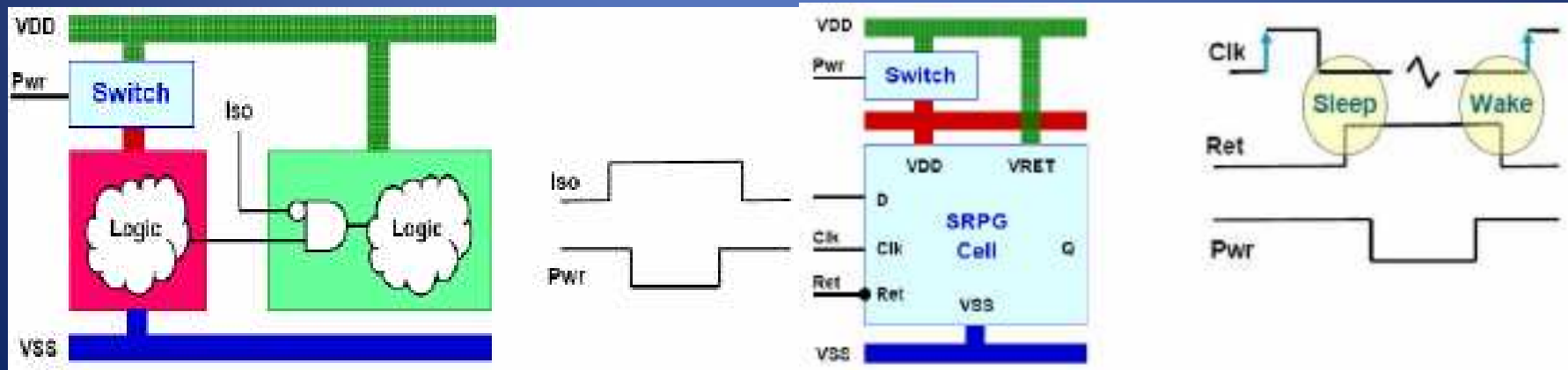
- Clock Gating

- Uma das técnicas mais comuns hoje em dia, o clock gating consiste basicamente em “parar” o clock em determinados momentos e porções do hardware. Esta parada leva a extinção do consumo dinâmico nos componentes que estão sob sua influência. Atualmente, as ferramentas de síntese lógica conseguem inferir no código RTL quais flip-flops podem ter o seu clock temporariamente parado e automatizar esta técnica de baixo consumo.



Técnicas de Low Power

- Power Gating ou Power Shut-off
 - Esta técnica consiste em desligar a alimentação de blocos, reduzindo o consumo do bloco à zero. Esta técnica exige um controlador que nunca é desligado para desligar os outros blocos quando a aplicação permitir. Esta técnica exige células especiais de isolamento e de retenção.



Técnicas de Low Power

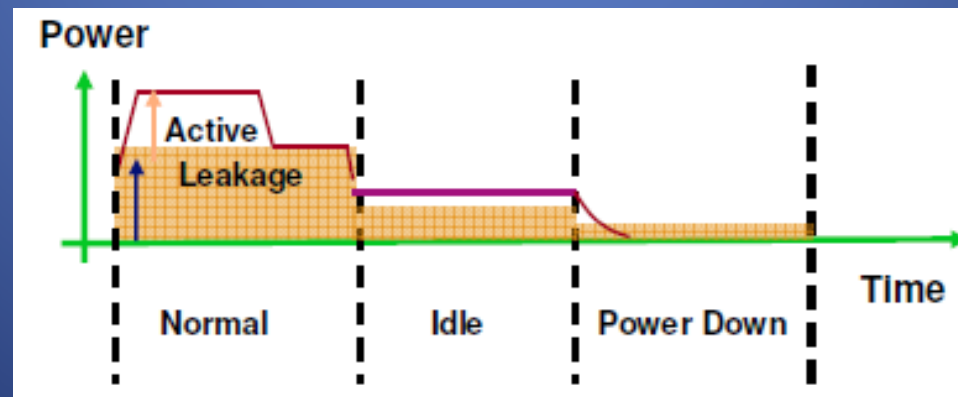
- Microprocessadores e power-modes
 - É sabido que os programas voltados a baixo consumo são totalmente orientados à interrupção, pois estas aplicações focam em colocar o microprocessador ao máximo no modo low-power. Veja um exemplo de um programa C provido pela Texas Instrument:

```
void main(void)
{
    WDICTL = WDIPW+WDTHOLD;           // Stop WDT
    P5DIR |= 0x002;                   // P5.1 output
    P1IE |= 0x010;                    // P1.4 Interrupt enabled
    P1IES |= 0x010;                   // P1.4 hi/low edge
    P1IFG &= ~0x010;                 // P1.4 IFG Cleared
    _BIS_SR(LPM4_bits + GIE);        // LPM4, enable interrupts
}

// Port 1 interrupt service routine
#pragma vector=PORT1_VECTOR
__interrupt void Port1_ISR (void)
{
    P5OUT ^= 0x02;                    // P5.1 = toggle
    P1IFG &= ~0x010;                 // P1.4 IFG Cleared
}
```

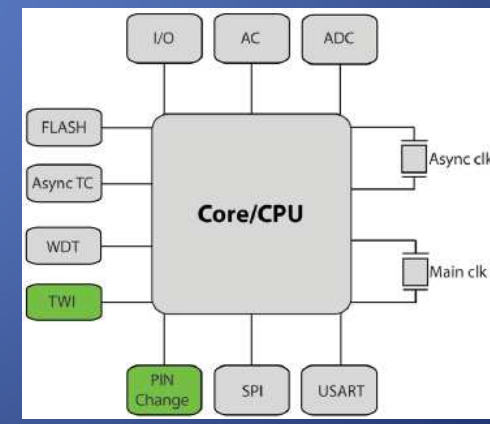
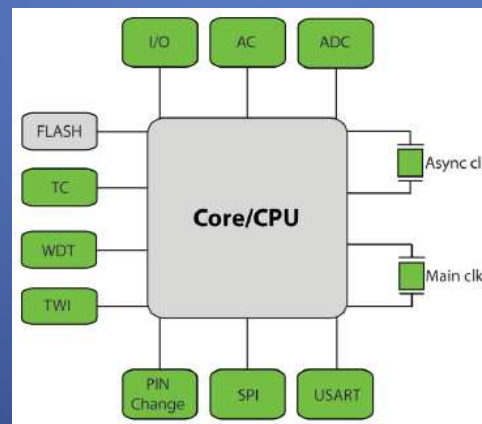
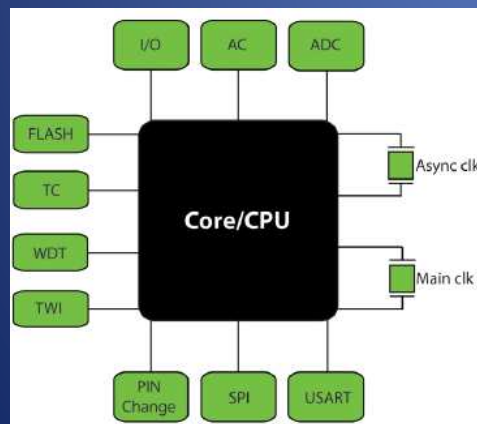
Técnicas de Low Power

- Microprocessadores e power-modes
 - O microprocessador de baixo consumo precisa ter disponível vários modos de operação (Ative, Stand-by/Idle, Sleep, Power-Down/Off), os quais permitem desligar os periféricos ou o próprio núcleo que não estão sendo utilizados de acordo com a demanda.



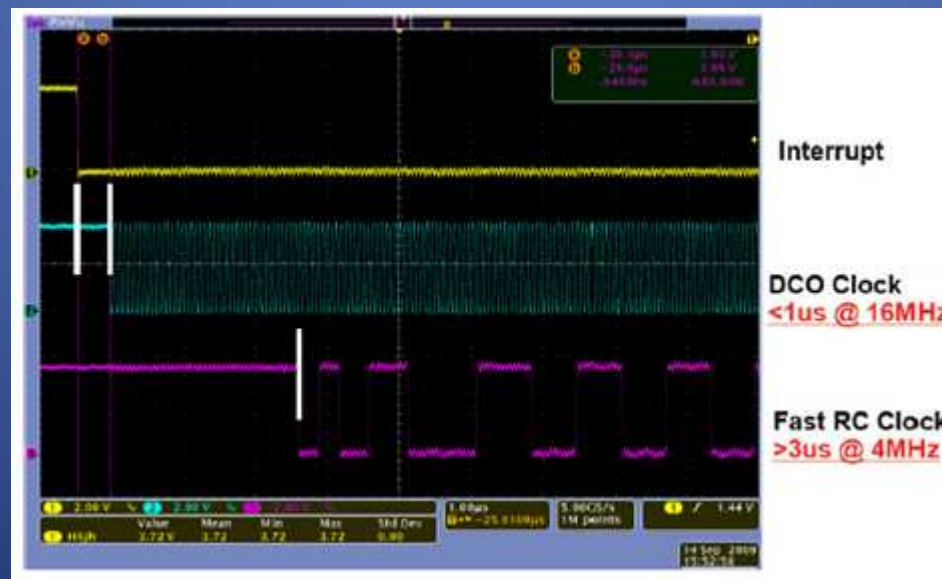
Técnicas de Low Power

- Microprocessadores e power-modes
 - O microprocessador de baixo consumo precisa ter disponível vários modos de operação (Ative, Stand-by/Idle, Sleep, Power-Down/Off), os quais permitem desligar os periféricos ou o próprio núcleo que não estão sendo utilizados de acordo com a demanda.



Técnicas de Low Power

- Microprocessador e o tempo de wake-up
 - O microprocessador de baixo consumo precisa ter um wake-up rápido. O tempo de wake-up é a latência necessária para estabilizar o sistema e prepará-lo antes de ele entrar à ativa. Se o sistema tiver uma longa latência para acordar, ele vai ficar menos tempo no modo low-power. Em outras palavras, quanto mais rápido um MCU acorda, mais tempo terá para dormir e economizar.



Conclusão

- Muitas técnicas de baixo consumo no processador exigem o entendimento sistêmico e a visão geral do produto, pois estas decisões entre o desempenho e energia requer interação com o software/aplicação.
- Este artigo resumiu várias técnicas para atingir baixa potência no desenvolvimento em nível ASIC do processador e também reviu algumas técnicas para atingir eficiência energética em nível da arquitetura do processador.

Referências

- [1] M. Keating, D. Flynn, R. Aitken, A. Gibbons, K. Shi. Low Power Methodology Manual For System-on-Chip Design
- [2] M. Hiraki, R. S. Bajwa, H. Kojima, D. J. Gorny, K. Nitta, A. Shridhar, K. Sasaki, K. Seki. Stage-Skip Pipeline: A low Power Processor Architecture Using a Decode Instruction Buffer
- [3] Low Power Case Study #1: Actual Algorithm Execution; www.microchip.com/XLP
- [4] Ultra-Low Power Comparison: MSP430 vs. microchip XLP Tech Brief; Texas Instrument; <http://focus.ti.com/lit/wp/slay015/slay015.pdf>
- [5] Diary R. Sulaiman; Microprocessor Leakage power reduction using dual supply voltage scaling; 5th International Advanced Technologies Symposium (IATS'09), 2009
- [6] Kazuaki Murakami and Hidetaka Magoshi; Trends in High-Performance, Low-Power Processor Architectures; IEICE Trans. Electron., Vol.E84-C, No.2 February 2001
- [7] Muhammad Yasir Qadri, Hemal S. Gujarathi, Klaus D. McDonald-Maier; Low Power Processor Architectures and Contemporary Techniques for Power Optimization – A Review; Journal of Computers, Vol. 4, No. 10, October 2009
- [8] Cortex-M0 Devices - Generic User Guide; ARM; <http://infocenter.arm.com/help/topic/>
- [9] Mixed Signal Microcontroller MSP430F20xx; <http://focus.ti.com/lit/ds/slas491g/slas491g.pdf>
- [10] S. Manne, A. Klauser, and D. Grunwald; Pipeline gating: speculation control for energy reduction; In Proceedings of the 25th Annual International Symposium on Computer Architecture 1998